

2024年度 修士論文

ATLAS実験新型ピクセル検出器モジュール の量産に向けた読み出し試験の解析

東京都立大学 理学研究科 物理学専攻
高エネルギー物理実験研究室

博士前期課程 23844424
初芝優希

2025年1月10日

概要

素粒子物理学において確立されたモデルである標準理論には説明できない物理現象が存在している。そのため標準理論を越える新物理の探索を目的として衝突型加速器実験が行われている。ATLAS 実験は、CERN(欧州原子核研究機構)の運営する大型ハドロン加速器 LHC(Large Hadron Collider)を用いた陽子・陽子衝突実験であり、衝突により生じた粒子を観測することで新物理の探索をしている。LHCは更なる高輝度での実験を行うため、HL(High Luminosity)-LHCへのアップグレードを予定している。2030年からHL-LHCへとアップグレードされることでルミノシティは現在の3-4倍となり、それに伴いATLAS検出器のアップグレードが求められる。ATLAS検出器のアップグレードとして、現行の内部飛跡検出器からITk (Inner Tracker)への置き換えが予定されている。ITkはシリコンピクセル検出器とシリコンストリップ検出器から構成される。ATLAS日本グループではシリコンピクセルモジュール約2,800モジュールの生産を担っており、生産過程では品質試験がATLASグループ全体の基準に従って行われている。

ITkピクセル検出器モジュールは4cm四方の大きさであり、800×768ピクセルの精度で通過する粒子を読み出すことができる。モジュールを通過する荷電粒子はシリコンピクセルセンサーにて信号として検知され、4枚のFront End ICチップ (FEチップ)により信号が読み出される。シリコンピクセルセンサーとFEチップはバンプボンドという金属球によりピクセルごとに電氣的に接続され、信号は各ピクセルごとに独立して伝達される。FEチップで読み出された信号はフレキシブル基板 (Flexible printed circuits) によってData Acquisition(DAQ)システムに転送される。

品質試験ではモジュールの各ピクセルが正しく機能していることを確認するためのピクセル読み出し試験が組み込まれている。またピクセル試験の中ではバンプボンドの接続を確認する試験の一つとしてMerged bump scanが行われている。本研究では品質試験過程ではなされていない、Merged bump scanの試験結果解析に取り組んだ。その結果、品質試験基準を満たさない品質不合格であるモジュールが複数存在することが確認された。そこで品質維持のために品質試験内容や基準、生産工程を見直す必要性が生じたため更なる解析と原因究明を行った。そして、品質不合格モジュールの原因の一部が製造過程にあったことから、今後改善される予定である。

目次

第1章 序論	1
1.1 素粒子物理学の現状	1
1.1.1 素粒子標準模型	1
1.1.2 新物理探索	2
1.2 LHC と ATLAS 実験	3
1.3 ATLAS 検出器	5
1.3.1 内部飛跡検出器	6
1.3.2 カロリメータ	7
1.3.3 ミューオン検出器	9
1.4 HL-LHC 計画	9
1.4.1 ルミノシティ	9
1.4.2 HL-LHC	10
1.4.3 ATLAS 内部飛跡検出器のアップデート	13
第2章 ITk シリコンピクセル検出器	15
2.1 ITk シリコンピクセル検出器の構成	15
2.2 シリコンピクセルモジュール	17
2.2.1 シリコンピクセルセンサー	18
2.2.2 読み出しチップ (FE チップ)	19
2.2.3 バンプ	20
2.2.4 フレキシブル基板 (FPC)	21
2.3 モジュールの量産	22
第3章 品質試験	23
3.1 モジュール組み立て手順	23
3.2 品質試験手順	24
3.2.1 質量検査 (MASS MEASUREMENT)	24
3.2.2 外観検査 (VISUAL INSPECTION)	24
3.2.3 メトロロジ (METROLOGY)	24
3.2.4 平坦測定 (FLATNESS)	26
3.2.5 ワイヤ強度測定 (WIREBOND PULL)	26
3.2.6 読み出し試験 (ELECTRICAL QC)	27
3.2.7 温度サイクル試験 (THERMAL TYCLE)	31
3.2.8 連続稼働試験 (LONG TERM STABILITY)	31

第4章	プロダクションの進捗状況	32
4.1	ハヤシレピックにおける生産体制	32
4.1.1	アセンブリスペース	33
4.1.2	クーリングボックス	33
4.1.3	X線照射装置	36
4.1.4	恒温槽	36
4.1.5	デシケーター	37
4.2	品質試験結果の管理	39
4.2.1	データベース	39
4.2.2	YARR	40
4.2.3	module-qc-noelec-gui	41
4.3	生産の進捗状	42
第5章	品質試験結果の解析	44
5.1	ピクセル試験	44
5.1.1	Merged bump scan	44
5.1.2	Threshold scan	46
5.1.3	Disconnected bump scan	47
5.1.4	X-ray scan	49
5.2	Merged bump scan の解析	50
5.2.1	Merged bump scan の QC 判定結果	50
5.2.2	merged pixel の分布	52
5.2.3	merged pixel 条件 (occupancy 値) の検討	55
5.2.4	Noise による評価	57
5.2.5	Threshold による評価	59
5.2.6	Disconnected bump による評価	61
5.2.7	バッチ番号依存性	63
5.2.8	merged bump のピクセル特性	63
5.3	X線による外観試験	66
第6章	まとめ	68
付録A章	Merged bump scan の QC 判定結果 (全 QC 不合格モジュール)	70
付録B章	ステージ進捗による QC 不合格発生	75
	謝辞	76
	参考文献	76

目次

1.1	素粒子標準模型	1
1.2	超対称性粒子	2
1.3	LHC トンネル全体図	3
1.4	LHC 加速器	4
1.5	ATLAS 検出器	5
1.6	内部飛跡検出器	6
1.7	内部飛跡検出器断面図	7
1.8	カロリメータ	8
1.9	ミューオン検出器	9
1.10	積分ルミノシティの推移	11
1.11	LHC から HL-LHC への運転計画	12
1.12	Inner Tracker	13
1.13	ITk の構成図	14
2.1	シリコンピクセル検出器の構成図	16
2.2	シリコンピクセルモジュール	16
2.3	ITk 内のシリコンピクセルモジュールの配置	17
2.4	シリコンピクセルモジュール構成図	17
2.5	荷電粒子通過時の信号伝達	18
2.6	シングルチップカードに搭載された ITkPixV1	19
2.7	バンプの様子	21
2.8	バッチによるバンプの高さの違い	21
2.9	ITk ピクセル検出器に使用されている FPC	22
3.1	組み立て手順	23
3.2	外観試験装置	24
3.3	外観検査の例	24
3.4	メトロロジー解析の例	25
3.5	平坦測定の例	26
3.6	ワイヤー強度測定装置	27
3.7	IVscan の測定合格例	28
3.8	ADC calibration の測定合格例	28
3.9	Analog readback の測定合格例	29
3.10	SLDO の測定合格例	30
3.11	Vcal calibration の測定合格例	30
4.1	ハヤシレピックでの品質検査環境	32

4.2	キャリアに入れたモジュール	33
4.3	フラットケーブルを取り付けたモジュール	33
4.4	クーリングボックス全体図	34
4.5	クーリングボックス内部	35
4.6	Grafana によるデータのモニター	35
4.7	クーリングボックスに設置された x 線照射装置	36
4.8	熱サイクル試験用恒温槽	37
4.9	デシケーター	38
4.10	モジュール情報管理状況	39
4.11	LocalDB の web ページ	40
4.12	モジュール情報管理状況	41
4.13	module-qc-nonelec-gui でのデータアップロード	42
4.14	プロダクションの進捗	43
5.1	Merged bump scan のテスト信号の流れ	45
5.2	ピクセル試験における隣接ピクセルのパターン	45
5.3	Merged bump scan の Occupancy Map	46
5.4	threshold を 1500 e に設定した時の Threshold scan の結果	47
5.5	threshold 分布	47
5.6	noise 分布	47
5.7	Disconnected bump scan のテスト信号の流れ	48
5.8	Disconnected bump scan の Occupancy Map	49
5.9	X-ray scan の信号の流れ	49
5.10	Xray scan の Occupancy Map	50
5.11	INITIAL WARM ステージにおける FE チップごとの merged pixel 数	51
5.12	POST PARYLENE WARM ステージにおける FE チップごとの merged pixel 数	52
5.13	merged pixel の分布 (INITIAL WARM)	54
5.14	merged pixel の分布 (POST PARYLENE WARM)	55
5.15	occupancy 値に対する merged pixel 数の変化	56
5.16	QC 合格モジュールの merged pixel と noise の関係	57
5.17	QC 不合格モジュールの merged pixel と noise の関係	58
5.18	QC 合格モジュールの merged pixel と threshold の関係	59
5.19	QC 不合格モジュールの merged pixel と threshold の関係	60
5.20	QC 合格モジュールの merged pixel と disconnected pixel の関係	61
5.21	QC 不合格モジュールの merged pixel と disconnected pixel の関係	62
5.22	Noise rate	64
5.23	Threshold rate	64
5.24	X-ray rate	64
5.25	Disconnected bump rate	64
5.26	merged pixel であるときの信号の流れ	65
5.27	異常が検出されたバンプ	66
5.28	FE チップが傾いて接続されたモジュールのイメージ図	67
A.1	QC 判定結果 (INITIAL_WARM)	71

目次

A.2 QC 判定結果 (POST_PARYLENE_WARM)	74
B.1 同モジュールのステージごとの QC 判定結果	75

表 目 次

1.1	LHC のアップグレード内容	10
1.2	内部飛跡検出器から ITk へのアップグレード内容	13
2.1	各層のピクセルセンサーの詳細	19
2.2	ATLAS 検出器と CMS 検出器の読み出しチップのサイズ比較	20
2.3	現行ピクセルと ITkPixV2 の性能比較	20
5.1	QC 不合格である FE チップ数	52
5.2	バッチ番号ごとの Mmerged bump scan QC 不合格モジュール数	63

第1章 序論

素粒子物理学の目的は物質を構成する最小単位である素粒子と、素粒子間に働く相互作用について明らかにしていくことである。その目的を果たすために、素粒子物理学の研究として行われているのが、加速した粒子同士を衝突させることで生じた素粒子の振る舞いを解析するという手法をとる衝突型加速器実験である。世界最高エネルギーでの衝突実験が可能である加速器 LHC では、新物理の探索を目的とした ATLAS 実験が行われている。本章では素粒子物理学の課題と ATLAS 実験について述べる。

1.1 素粒子物理学の現状

1.1.1 素粒子標準模型

素粒子標準模型は現代素粒子物理学の基本的な枠組みのことであり、素粒子とその相互作用について体系化されたモデルである。物質を構成する物質粒子がクォークとレプトンのそれぞれ6種類ずつ、力を伝える粒子であるゲージ粒子が4種類、ヒッグスが1種類で構成されている。ゲージ粒子は、電磁気力を伝える光子、強い力を伝えるグルーオン、弱い力を伝えるウィークボソンに分けることができる。ヒッグス粒子はフェルミ粒子と相互作用し質量を与える粒子であり、質量を与えるメカニズムのことをヒッグス機構という。ヒッグス粒子は標準模型最後のピースとして2012年に ATLAS と CMS によって発見された。

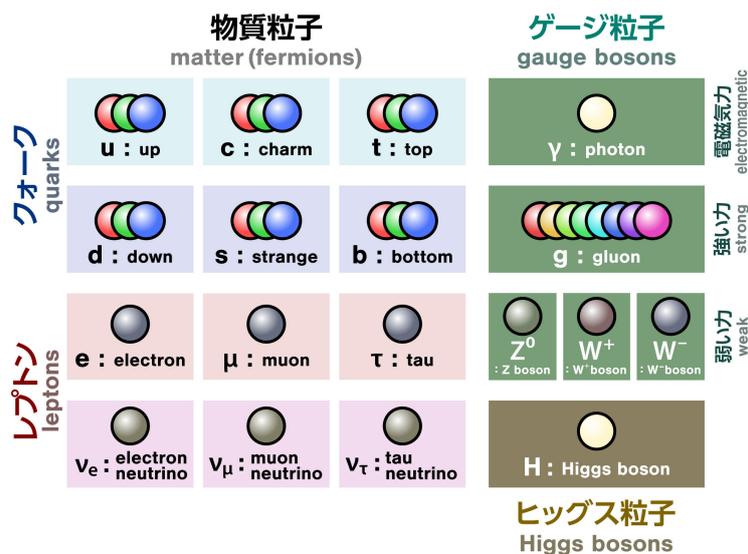


図 1.1: 素粒子標準模型 [1]

1.1.2 新物理探索

標準模型は素粒子実験で得られる結果を系統的に記述することができ、素粒子物理学において確立されているモデルである。その一方で、標準模型では説明することができない現象や問題点が複数存在している。問題点のとして挙げられる一つが暗黒物質の存在である。宇宙の全エネルギーの内、標準模型によって説明することができる物質は約 5% であり、残りの内約 27% がダークマター、約 68% がダークエネルギーという標準模型では説明することができない未知であるとされている。また宇宙初期では物質に対して電荷が逆である反物質が物質と同数であったと考えられているのに対し、現在の宇宙は物質が多くを占めている。この物質優勢の宇宙は宇宙の膨張であるインフレーションが起きた時に生じたと考えられており、インフレーションの原理と合わせて標準模型の未解決問題である。さらに標準模型ではニュートリノの質量が 0 であることに対して、ニュートリノ振動が発見されたことによりニュートリノが質量を持つことが分かっており、標準模型との乖離が生じている。

上記のような、標準模型では説明ができない現象を解決するものとして、標準模型を超える物理の発見が期待されている。発見が期待されている理論の一つが超対称性 (SUSY) である。超対称性はボソンとフェルミオンの対称性があり、標準模型の各粒子に対してスピンが 1/2 だけ異なる超対称粒子が存在するとする理論である。これらの新物理の観測を期待して、1.2 節以下に記す ATLAS 実験を含む加速器を用いた粒子衝突実験が世界各国で行われている。図 1.2 に超対称性粒子を示す。

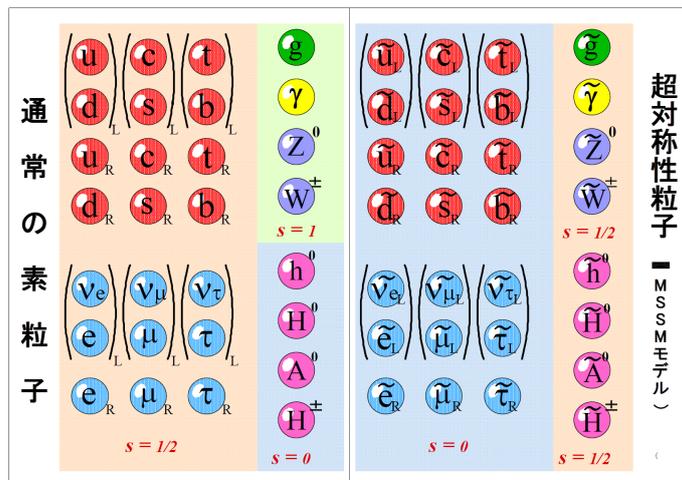


図 1.2: 超対称性粒子 [2]

1.2 LHC と ATLAS 実験

LHC(Large Hadron Collider) はスイスとフランスの国境を跨いで地下約 100 m に位置する大型ハドロン衝突型加速器である。LHC は CERN(European Organization for Nuclear Research) により建設・運営され、円周は約 27 km に及ぶ。重心系エネルギーは 13.6 TeV と世界最大エネルギーを実現している。LHC は 4 つの衝突点を有しており、衝突点ごとに検出器が設置されている。LHC での陽子ビームは陽子をバンチというかたまりの状態に加速させたものであり、バンチ同士を交差させることで陽子の衝突を引き起こし、様々な粒子を生成・検出している。LHC のリングに陽子ビームが入射されるまでには 4 つの前段加速器により陽子が 450 GeV に加速された状態で入射されている。このとき 1 度のバンチ同士の交差により、複数の陽子の衝突が生じており、これをパイルアップ事象という。図 1.3 に LHC のトンネル全体図を示す。

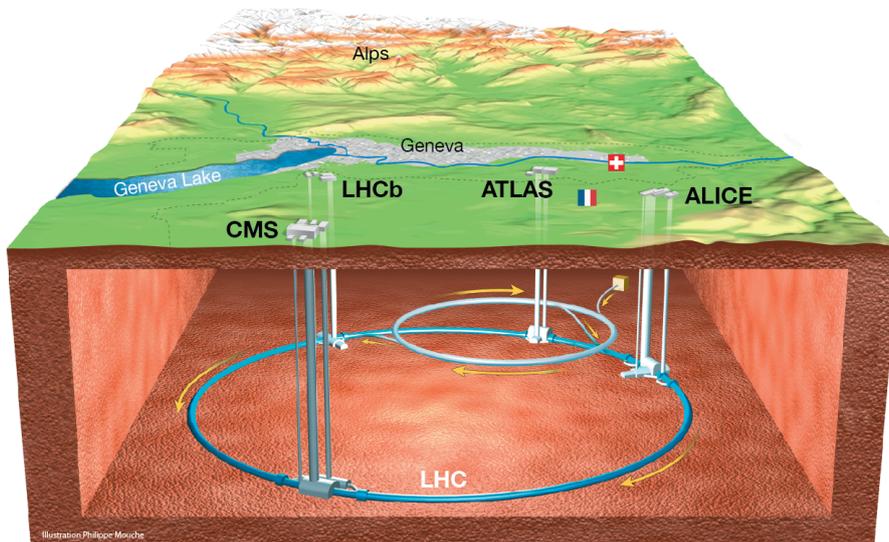


図 1.3: LHC トンネル全体図 [3]

LHC の衝突点に設置されている 4 つの検出器 (CMS, LHCb, ALICE, ATLAS) ではそれぞれで異なる物理現象を対象とした実験が行われている。以下に各検出器の概略を示す。

- LHCb(Large Hadron Collider beauty)
 - 物質と反物質のわずかな違いを知るため、b-quark を研究することを目的としている。検出器は他と異なり衝突点全体を取り囲んでおらず、前方の粒子を検出している。
- ALICE(A Large Ion Collider Experiment)
 - 重イオン物理学を研究することを目的としている。クォークがグルーオンとの結合から自由化したものであるクォーク・グルーオンプラズマ (QGP) が膨張・冷却する様子を観察することで、粒子の生成過程を研究している。

- ATLAS(A Troidal LHC ApparatuS)
 - ヒッグス粒子や超対称性, 余剰次元などの幅広い物理を探索することを目的としている. 衝突点をを中心に 6 層の検出システムを有しており, 粒子を識別している.
- CMS(Compact Muon Solenoid)
 - ATLAS 実験と同じく新物理の探索を目標としている. ATLAS と同様にヒッグス粒子の観測に成功している.

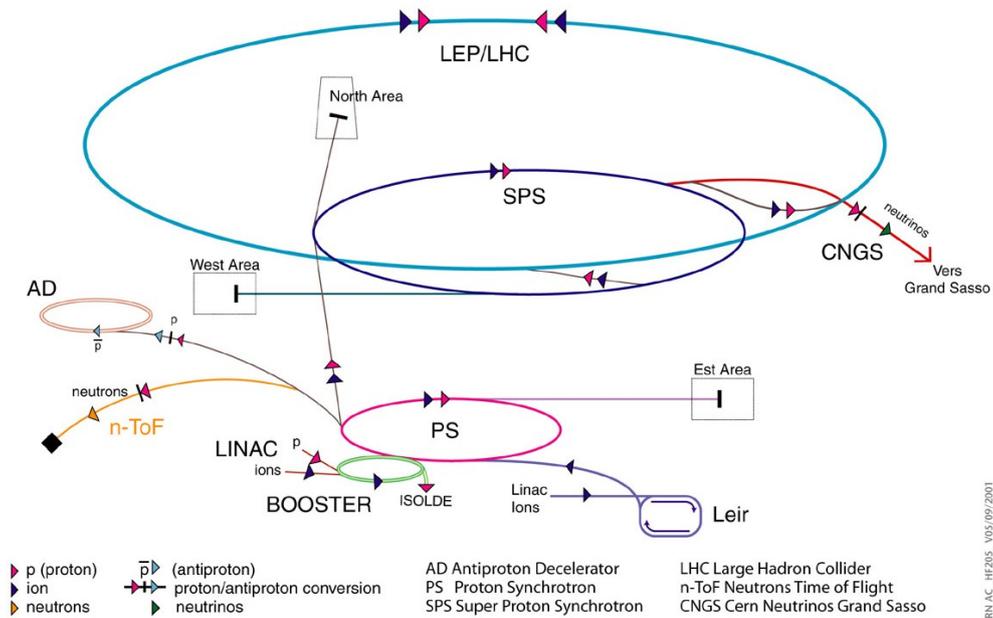


図 1.4: LHC 加速器

1.3 ATLAS 検出器

ATLAS(A Trooidal LHC ApparatuS) 検出器は長さ 44 m, 直径 25 m, 重さ 7000 t であり, 同心円状に 6 層の検出器システムが設置されている粒子検出器である. 衝突点に最も近い内側から内部飛跡検出器, 超電導ソレノイド磁石, 電磁カロリメータ, ハドロンカロリメータ, トロイド磁石, ミューオン検出器の順で並び, 構成されている. 粒子の軌道, 運動量, エネルギーを測定することで粒子を識別し, 測定している. 加速器の運転中には, ATLAS 検出器内で毎秒 10 億回以上の素粒子相互作用が起きており, 観測された大きなデータ量の中からヒッグス粒子の精密測定, 余剰次元, SUSY などの新物理の探索を行っている. 図 1.5 に ATLAS 検出器の全体図を示す.

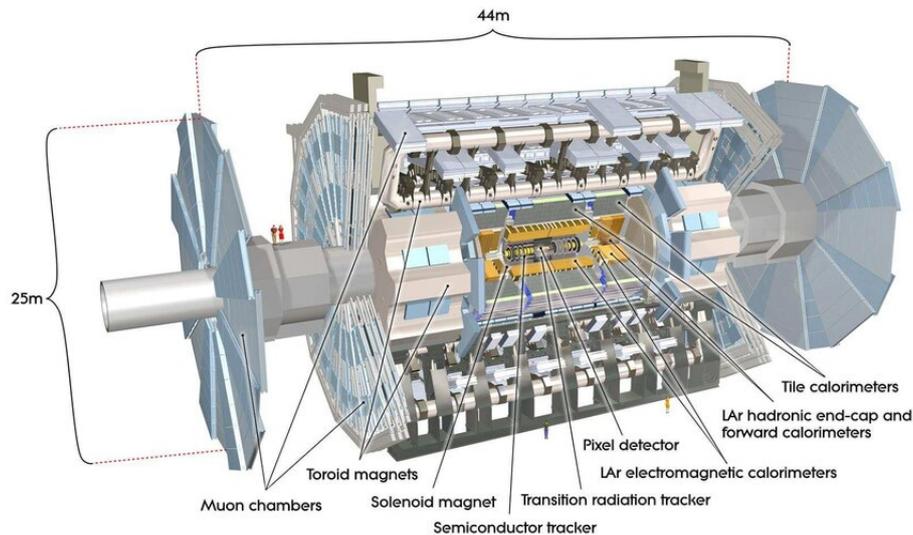


図 1.5: ATLAS 検出器 [4]

ATLAS 検出器には座標系が定められている. 衝突点を原点とし, 右手系と定義している. x 軸の正は LHC の中心方向, y 軸の正は地表上方向を指している. ATLAS 検出器では z 軸に沿って, $z > 0$ の領域を **A**side, $z < 0$ の領域を **C**side と呼んでいる. xy 平面は円筒座標 r と ϕ で表される. ビームラインからの距離を半径 r , x 軸からの角を方位角 ϕ , z 軸からの角を極角 θ として擬ラピデティは

$$\eta = -\ln \tan \left(\frac{\theta}{2} \right) \quad (1.1)$$

と表される. $|\eta| < 1.05$ の検出器側面部分と $|\eta| > 1.05$ の検出器底面部分をそれぞれバレル領域とエンドキャップ領域という.

1.3.1 内部飛跡検出器

内部飛跡検出器は ATLAS 検出器の最内層に位置する，粒子の軌跡，運動量，電荷を測定するための検出器である．内部飛跡検出器は 3 種類の検出器から構成されており，衝突点に近い内側からシリコンピクセル検出器 (Pixel detectors)，SCT (Semiconductor tracker)，TRT (Transition radiation tracker) の順に配置されている．内部飛跡検出器の周囲には超電導ソレノイド磁石が設置されており，2 T の磁場がビーム軸平行方向にかけられている．図 1.6 に内部飛跡検出器を示す．

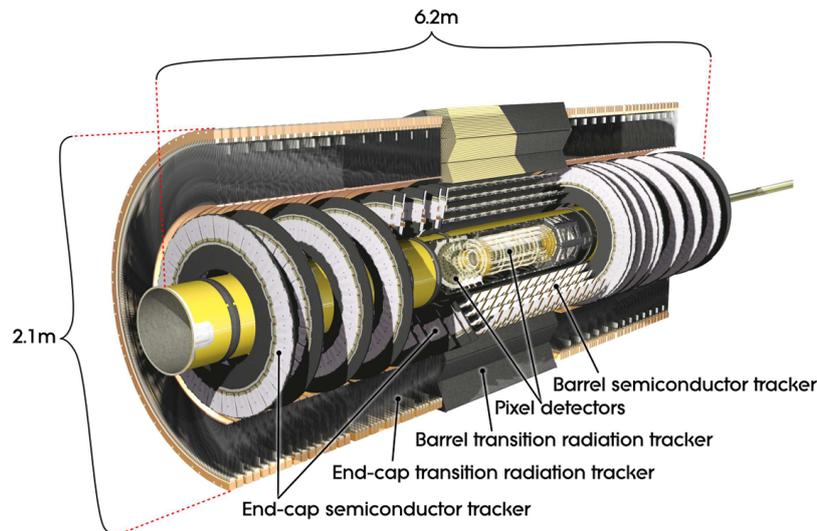


図 1.6: 内部飛跡検出器 [5]

シリコンピクセル検出器 (Pixel detectors)

シリコンピクセル検出器は読み出し用電極をピクセル状に配置したものであり，粒子の通過位置を測定している．LHC のビームライン中心軸から半径約 30 mm に位置し，衝突点に最も近い検出器である．4 層のシリコンセンサーで検出をしており，1744 個のシリコンセンサーと読み出しチップを合わせたモジュールにより構成されている．ピクセルサイズは $50 \times 400 \mu\text{m}^2$ ，8000 万チャンネルのピクセルにより粒子の位置を検出している．衝突点に対して $|\eta| < 2.5$ を覆っている．

SCT (Semiconductor tracker)

SCT は読み出し用電極をストリップ状に配置した 600 万個のストリップセンサーを使用したものであり，粒子の軌跡を検出して再構築している．シリコンピクセル検出器外部のバレル部に 4 層，エンドキャップ部に 9 層の半導体ストリップ検出器が配置されている． $25 \mu\text{m}$ の精度で軌跡を測定することができる．衝突点に対して $|\eta| < 2.5$ を覆っている．

TRT(Transition radiation tracker)

TRT は内部飛跡検出器の最外部に位置する直径 4 mm のドリフトチューブ 30 万本で構成された検出器である。ドリフトチューブの中心には $30\ \mu\text{m}$ のタングステンのアノードワイヤーが張られており、チューブ内は Xe と CO_2 の混合ガスが充填されている。荷電粒子がドリフトチューブを通過するとガスがイオン化され、電気信号が生成され検出される。TRT により検出器を通過した粒子の識別を行っている。バレル部には 144cm のドリフトチューブが 5 万本、エンドキャップ部には 39cm のドリフトチューブが 25 万本配置されている。測定精度は 0.17mm である。

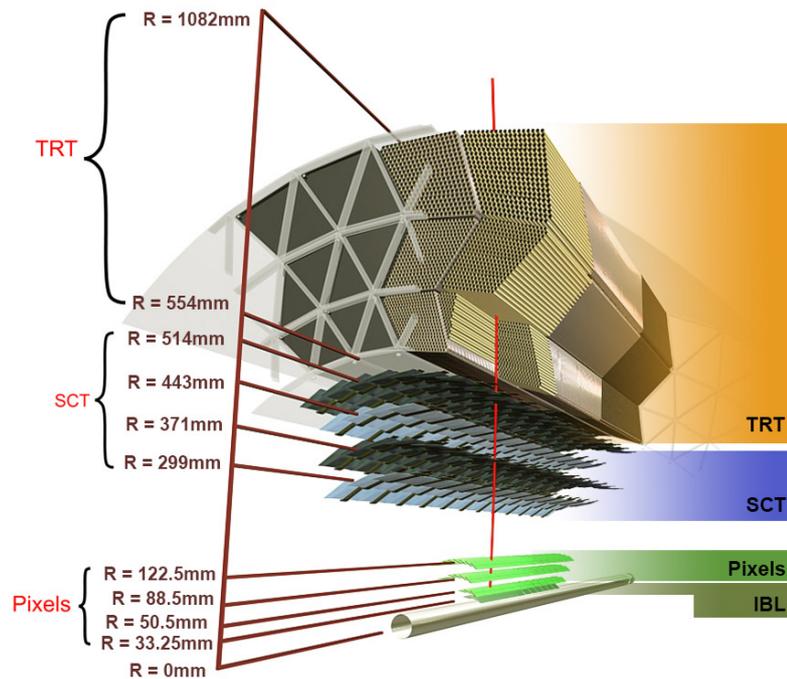


図 1.7: 内部飛跡検出器断面図

1.3.2 カロリメータ

カロリメータは、粒子が高密度物質中で起こす粒子シャワーの測定により、粒子の持つエネルギーを測定するものである。図 1.8 に ATLAS 検出器に内蔵されているカロリメータを示す。カロリメータは粒子のエネルギーを吸収する高密度物質の吸収層と物質量の小さい検出層から成る。ATLAS 検出器に内蔵されているカロリメータは、電磁シャワーを生じる電子と光子のエネルギーを測定する電磁カロリメータとハドロンエネルギーを測定するハドロンカロリメータの 2 種から構成されている。

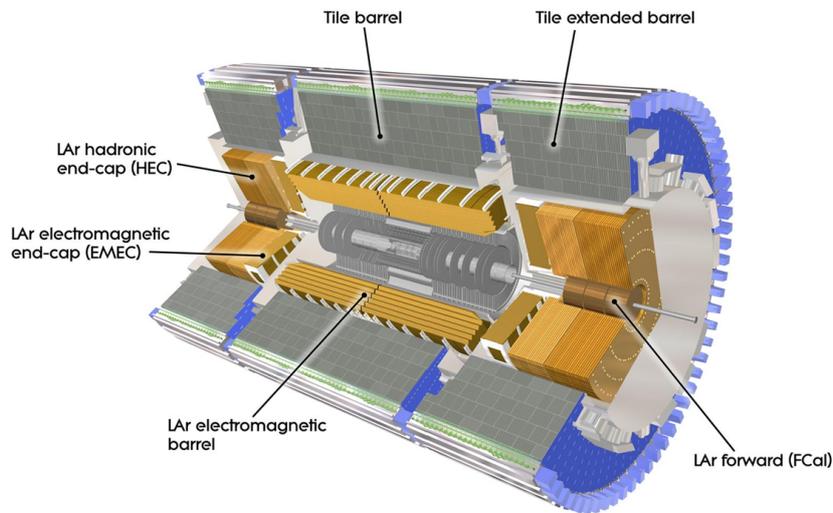


図 1.8: カロリメータ

電磁カロリメータ

電磁カロリメータは電子、光子のエネルギーを測定している。吸収層に鉛、検出層に液体アルゴンを用いており、内部飛跡検出器を囲むように位置している。アコーディオン状に電極と鉛が層を成している。内部飛跡検出器を通過した高エネルギーの電子や光子が鉛の吸収層により、低エネルギーの電磁シャワーを引き起こす。電磁シャワーとして発生した粒子は液体アルゴンの検出層でイオン化され、信号となって検出される。バレル部では $|\eta| < 1.475$ の領域を、エンドキャップ部では $1.375 < |\eta| < 3.2$ の領域を覆っている。

ハドロンカロリメータ

ハドロンカロリメータではハドロンのエネルギーを測定している。ハドロンカロリメータの構造はバレル部とエンドキャップ部で異なり、電磁カロリメータを囲むように位置している。バレル部には吸収層である鉄と検出層であるシンチレータを用いた、タイルカロリメータが設置されている。エンドキャップ部には吸収層である銅と検出層である液体アルゴンを用いた、液体アルゴンカロリメータが設置されている。ハドロンカロリメータでは吸収層でハドロンシャワーを引き起こし、プラスチックシンチレータと液体アルゴンの検出層にて信号に変換してハドロンのエネルギーを測定している。

1.3.3 ミューオン検出器

ミューオン検出器は ATLAS 検出器最外層に位置し, Thin Gap Chambers(TGC), Resistive Plate Chambers(RPC), Monitored Drift Tubes (MDT), Cathode Strip Chambers (CSC) の 4 つの検出器から構成される. 図 1.9 にミューオン検出器を示す. ミューオンは電子の 200 倍重く, その性質からカロリメータを通過することができる. ミューオン検出器ではカロリメータを通過したミューオンの飛跡や運動量を測定している. MDT と CSC はミューオンの飛跡検出, RPC と TGC は高速読み出しを可能にするトリガーの生成をしている. ミューオン検出器にはトロイダル磁石による磁場がかけられており, 磁場によって曲げられたミューオンの飛跡から運動量を測定している.

MDT は Ar, CO₂ の混合ガスで満たされた直径 3 cm のアルミニウムチューブで構成されている. ミューオンがアルミニウムチューブを通過するとガスから電子が生成され, 電子がワイヤーにドリフトすることで信号として検出される. CSC は MDT より内側に位置し, 高い係数率に対する耐性があるガス検出器である. RPC は電圧が印加されたプラスチックプレートの間を混合ガスで満たしたトリガー発行を行う検出器であり, バレル部に位置している. エンドキャップ部のトリガーは TGC により発行される.

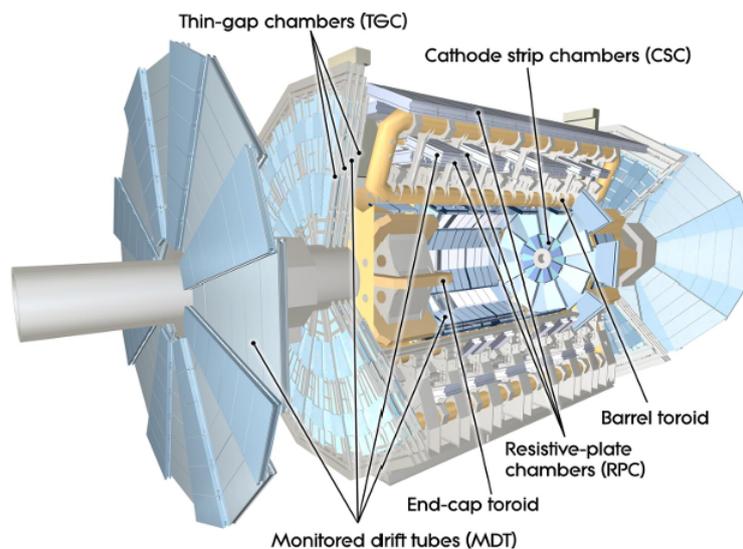


図 1.9: ミューオン検出器

1.4 HL-LHC 計画

1.4.1 ルミノシティ

ATLAS 実験を含む加速器実験における単位時間当たりの反応数 Y は, ルミノシティ L と反応断面積 σ を用いて

$$Y = L \times \sigma \quad (1.2)$$

と表される。反応断面積は入射された粒子が標的となる粒子と反応を起こす確率であり、各物理事象に対して値が決められる。LHC での加速器実験における反応断面積は、重心系エネルギーの大きさに依存している。ルミノシティは単位時間あたりにビーム中の粒子が衝突する頻度に比例した量であり、ビームの細さやビーム中の粒子数に依存する。さらに、反応数はルミノシティの高さに依存しているため、ルミノシティを高くすることで観測したい事象を増やすことができる。また、加速器運転中の測定期間すべてにおける反応数を指す全反応数 N は

$$N = \sigma \times \int L dt \quad (1.3)$$

と表される。 $\int L dt$ は測定期間でルミノシティを積分したものであり、積分ルミノシティという。LHC では質量の大きい陽子同士を衝突させることで、シンクロトロン放射によるエネルギー損失を小さくし、エネルギーの高い衝突が可能となっている。衝突エネルギーが高いと重い質量をもつ新粒子の探索領域が広がり、またルミノシティが高いとバックグラウンドも増えるが、観測したい事象数も増えるため新粒子探索に適している。LHC での実験では標準模型を越えた物理を観測するために高エネルギーでの衝突実験が行われており、この手法をエネルギーフロンティア実験という。

1.4.2 HL-LHC

LHC は現在より更なる高統計量の実験を行うための高輝度化が予定されている。高輝度化された LHC を HL(High Luminosity)-LHC と呼ぶ。図 1.11 に LHC から HL-LHC への運転計画を示す。LHC は 2010 年から最初の衝突実験である Run1 が 7 TeV のエネルギーで開始された。2012 年には 8 TeV へとエネルギーを上げ、ヒッグス粒子を観測した。2013 年から 2015 年には LHC のアップグレードのための運転停止期間である LS1(Long shutdown 1) というシャットダウン期間が取られた。2015 年 6 月からは Run2 として 13 TeV での実験が行われた。2019 年からの 3 年間は LS2 の期間に入り、HL-LHC への変更を含むアップグレードが行われ、2022 年からの Run3 では 13.6 TeV での衝突実験が行われている。2026 年から LS3 に入り、その間に高輝度での実験を行うためのアップグレードが行われ、2030 年から運転を再開することを予定している。表 1.1 に HL-LHC へのアップグレード内容を示す [6]。

表 1.1: LHC のアップグレード内容

	LHC	HL-LHC
重心系エネルギー [TeV]	13.6	14
瞬間ルミノシティ [$\text{cm}^{-2} \text{s}^{-1}$]	2×10^{34}	7.5×10^{34}
積分ルミノシティ [fb^{-1}]	300	3000
バンチ長 [cm]	8	9
バンチ直径 [cm]	8.5	7
事象/バンチ衝突	40	200

図 1.10 に 2015 年以降の積分ルミノシティの推移を示す。LHC の Run3 は 2022 年に開始し、2024 年には ATLAS と CMS では 88.9 fb^{-1} の積分ルミノシティを達成した。2024 年の積分ルミノシ

ティの目標値は 110 fb^{-1} であり, Run3 の積分ルミノシティ 160.4 fb^{-1} は Run2 の 4 年間の積分ルミノシティ 159.8 fb^{-1} を越えている.

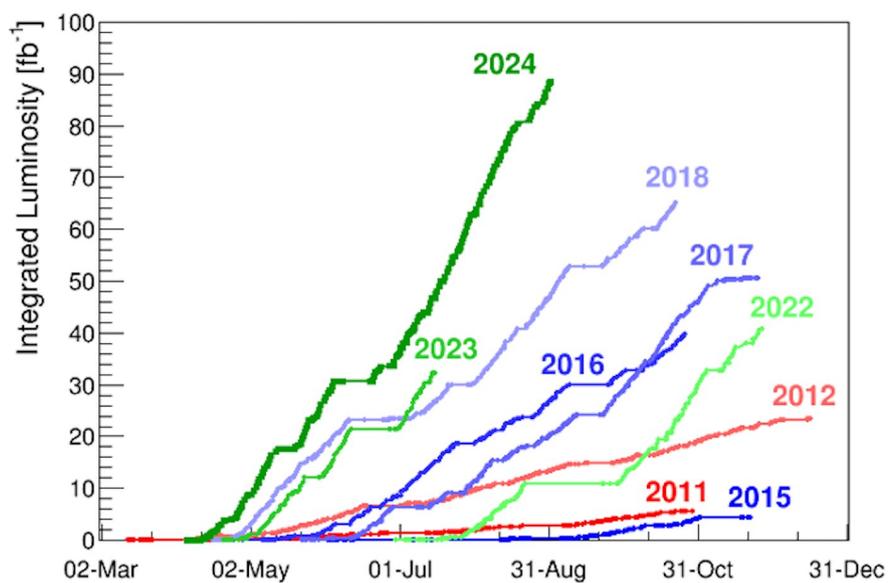


図 1.10: 積分ルミノシティの推移 [9]

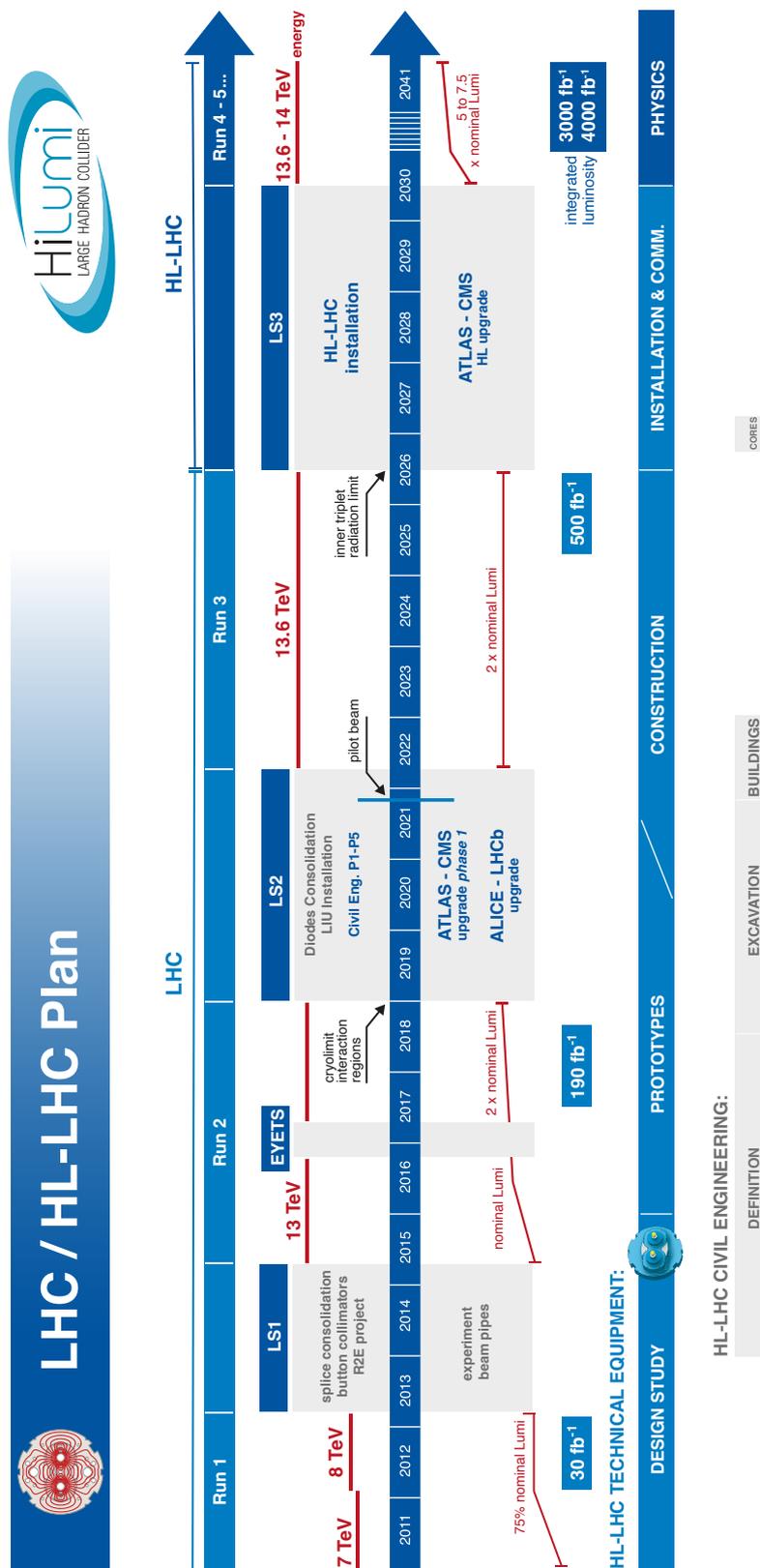


図 1.11: LHC から HL-LHC への運転計画

1.4.3 ATLAS 内部飛跡検出器のアップデート

HL-LHC へのアップグレードによりルミノシティが向上すると観測する粒子が増えることから、検出器の放射線耐久性や位置分解能の向上、読み出し速度の向上が求められる。それに伴い、ATLAS 検出器のアップグレードとして現行の内部飛跡検出器が新型の総シリコン製検出器である Inner Tracker(ITk) に置き換わる予定である。ITk 内部を図 1.12 に示す。ITk はシリコンピクセル検出器とシリコンストリップ検出器の 2 種のシリコン検出器から構成される。図 1.12 の緑色と赤色の領域がシリコンピクセル検出器であり、赤色がバレル部を緑色がエンドキャップ部を示している。青色の領域はシリコンストリップ検出器である。表 1.2 に現行の内部飛跡検出器から ITk へのアップグレード内容を示す。現行の内部飛跡検出器の $|\eta|$ カバー範囲が $|\eta| < 2.5$ であるのに対し、ITk では $|\eta| < 4$ とカバー範囲が広がっている。

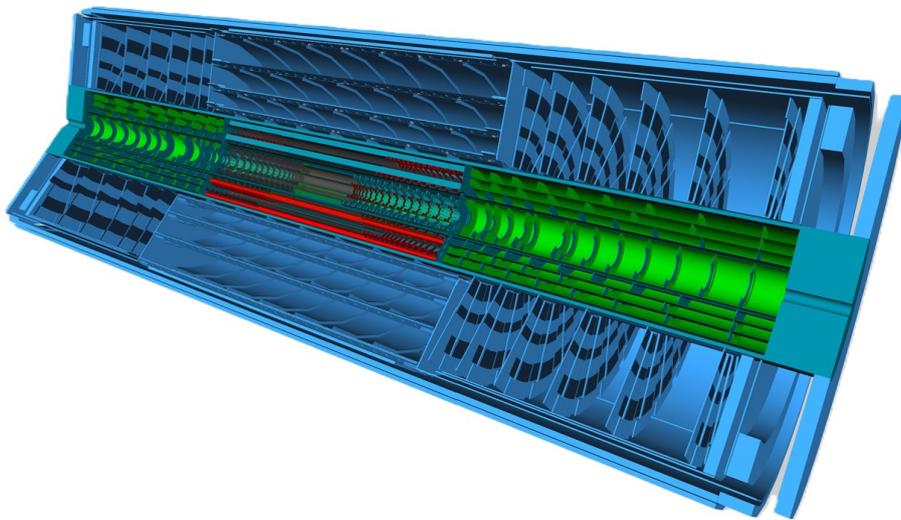


図 1.12: Inner Tracker [7]

表 1.2: 内部飛跡検出器から ITk へのアップグレード内容

	内部飛跡検出器	ITk
シリコン占有率 [m^2]		
ピクセル検出器	1.9	12.98
ストリップ検出器	61	165
チャンネル数		
ピクセル検出器	9.2×10^6	5×10^9
ストリップ検出器	6.2×10^6	59.9×10^6
トリガーレート [Hz]	1×10^5	1×10^6
ピクセルサイズ [μm^2]	$50 \times 200, 50 \times 400$	$50 \times 50, 25 \times 100$
$ \eta $ カバー範囲	< 2.5	< 4.0

ITk の構成図を図 1.13 に示す。原点を HL-LHC の粒子の衝突点とし、赤色がシリコンピクセル

検出器, 青色がシリコンストリップ検出器を表している. シリコンピクセル検出器はバレル部に 5 層とエンドキャップ部に約 30 層配置されており, シリコンストリップ検出器はバレル部に 4 層とエンドキャップ部に 6 層配置されている. シリコンピクセル検出器は $|\eta| < 4$, シリコンストリップ検出器は $|\eta| < 2.7$ の領域にそれぞれ設置される. シリコンピクセル検出器のうち外側の層に位置するものは現行の内部飛跡検出器から ITk へのアップグレードにおいて入れ換えられることなく引き続き使用される.

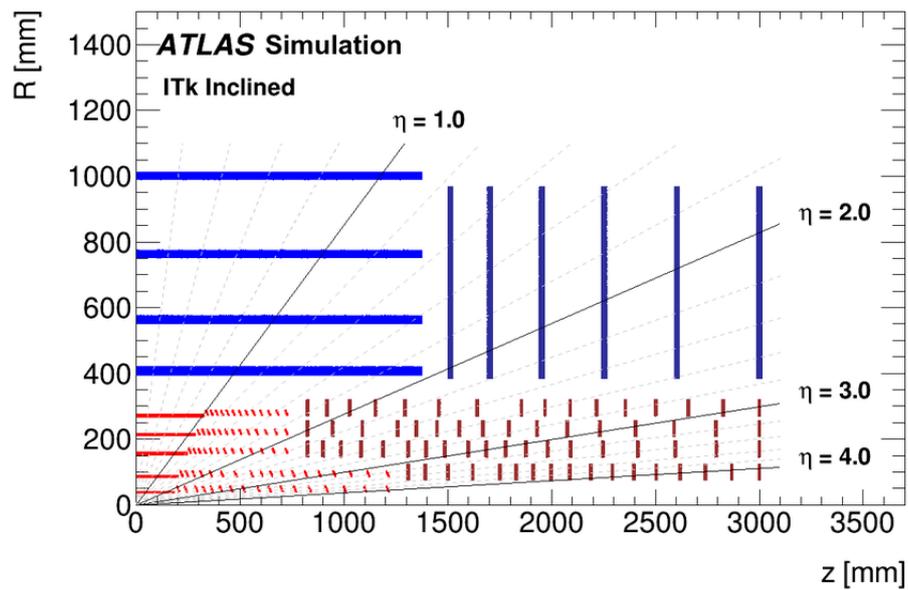


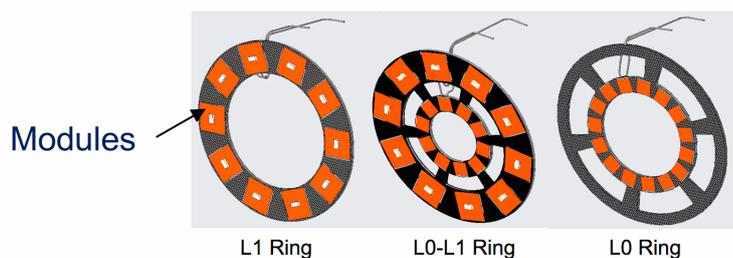
図 1.13: ITk の構成図 [8]

第2章 ITk シリコンピクセル検出器

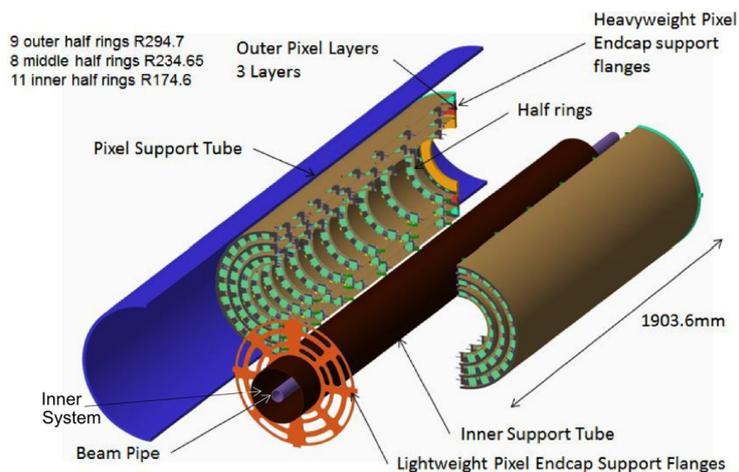
ATLAS 検出器のアップグレードとして現行の内部飛跡検出器を ITk に置き換える予定である。本章では、ITk に用いられるシリコンピクセル検出器モジュールの構造について記す。

2.1 ITk シリコンピクセル検出器の構成

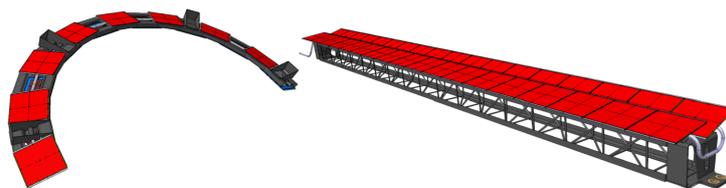
本節では、ITk 内のシリコンピクセル検出器モジュールの構成について記す。ITk ピクセルモジュールは軽量のカーボンファイバー製のピクセルサポートチューブに取り付けられる。検出器の領域ごとに分かれる、インナーシステム、エンドキャップ、アウトバレルの3つの形状から構成される。各モジュールを図 2.1 に示す。



(a)



(b)



(c)

図 2.1: ITk シリコンピクセル検出器の構成図. (a) インナーシステム, (b) エンドキャップ, (c) アウターバレル

シリコンピクセル検出器を構成しているモジュールは Front End IC チップ (FE チップ) とシリコンセンサーを一組にしたものである. 図 2.2 にモジュールの種類を示す. モジュールの種類は FE チップ 4 枚とセンサー 1 枚から成る Quad モジュール, FE チップ 3 枚とセンサー 3 枚から成る Triplet モジュールに分かれる. さらに Triplet モジュールはバレル部は直線状, エンドキャップ部は円形状と形状が異なる. ITk 内の各モジュールの配置を図 2.3 に示す. シリコンピクセルモジュールのうち, バレル部に配置されているモジュールが赤, エンドキャップ部に配置されているモジュールが濃い赤で表されている. Triplet モジュールは最内層部と円形部分に, Quad モジュールはその他の外層と円形部分に配置されている.

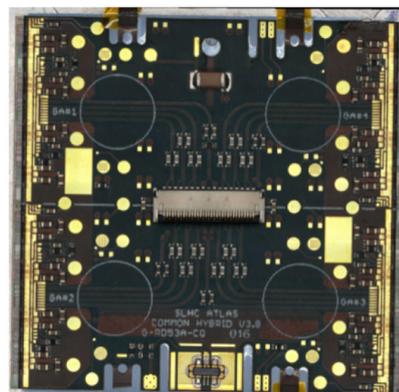
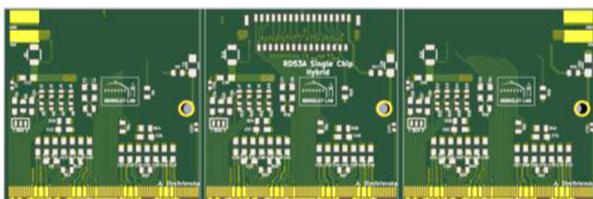


図 2.2: Triplet モジュール (左) と Quad モジュール (右)

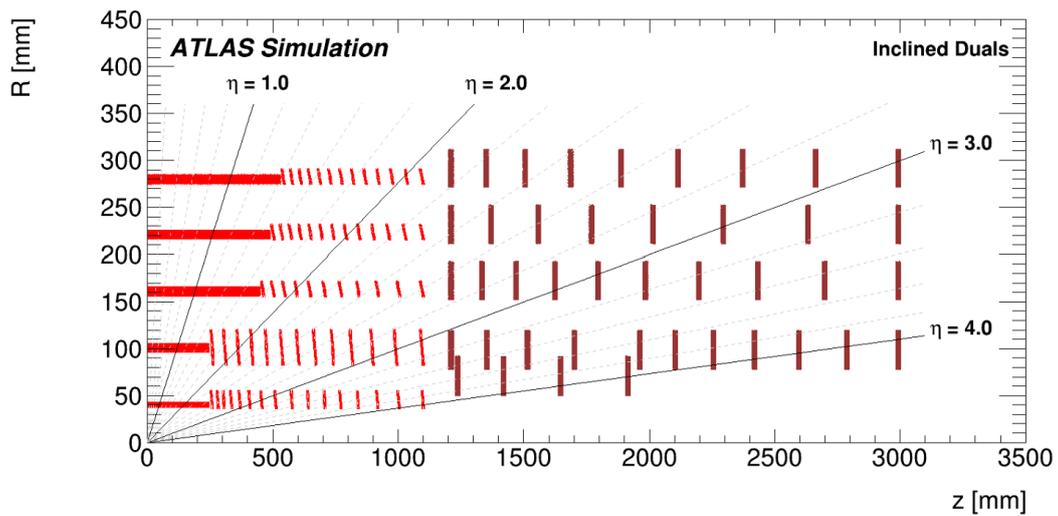


図 2.3: ITk 内のシリコンピクセルモジュールの配置

2.2 シリコンピクセルモジュール

シリコンピクセル検出器を構成しているモジュールのうち、本研究に関わる Quad モジュールについて説明する。以降シリコンピクセル検出器モジュールは Quad モジュールのみを指す。シリコンピクセル検出器モジュールの構成図を図 2.4 に示す。ITk シリコンピクセル検出器モジュールは、読み出しチップである FE チップ、半導体検出器であるシリコンセンサー、フレキシブル基板から構成される。FE チップとシリコンセンサーを bumps ボンドで接合した部分をベアモジュール、ベアモジュールとフレキシブル基板を組み合わせたものをシリコンピクセルモジュールとそれぞれ指す。

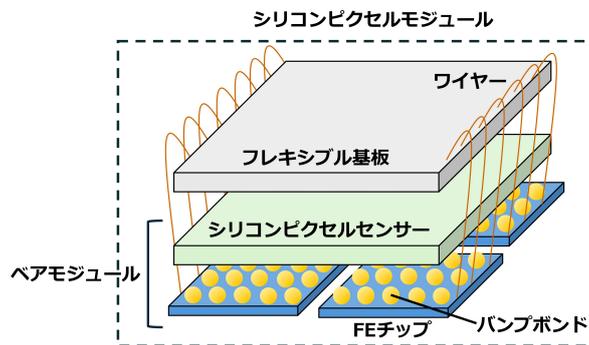


図 2.4: シリコンピクセルモジュール構成図

シリコンピクセルモジュールはシリコンダイオードを利用した半導体検出器である。p 型と n 型

の半導体が pn 接合されている半導体に n 型側を正、p 型側を負とした向きに印加する電圧である逆バイアス電圧をかけることでセンサーとして利用されている。逆バイアス電圧が印加された半導体では、伝導電子とホールが再結合することで消滅し、p 型半導体と n 型半導体の接合面ではキャリアの存在しない空乏層が広がる。空乏層に LHC の粒子衝突により発生した荷電粒子が入射されると、電子・ホール対を生じ、バイアス電圧によって両端に運ばれる。このときの電気信号を読み取ることで、荷電粒子を検出することができる。荷電粒子が通過したときの信号の流れのイメージ図を図 2.5 に示す。シリコンセンサーを通過した荷電粒子はエネルギーを失い電子・ホール対を生成し、電子が電極から伝達される。電極へ伝わった信号は、電極からバンプを通じて FE チップへ流れ、ワイヤーを介してフレキシブル基板へ送られる。

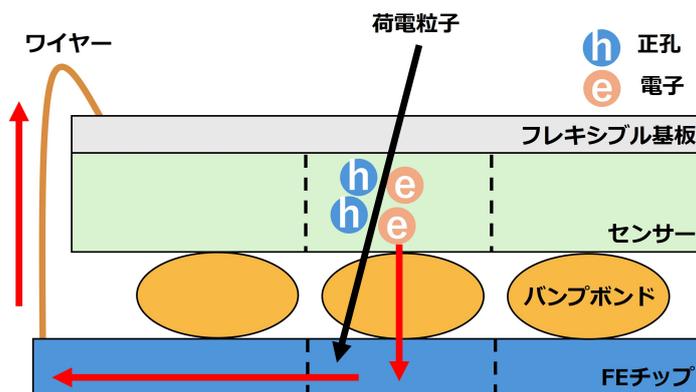


図 2.5: 荷電粒子通過時の信号伝達

2.2.1 シリコンピクセルセンサー

シリコンピクセルセンサーは、p 型半導体のバルク層と $n^+ - in(insulator) - p$ 半導体を用いた電極から成る。 n^+ 半導体は通常の n 型半導体よりも不純物が多くドーピングされている半導体である。 現行のピクセルセンサーは n 型半導体のバルク層と $n^+ - in - n$ を用いた電極で構成されている。 そのため、逆バイアス電圧を印加したばかりの部分的に空乏化がされている状態では電極付近は空乏化されておらず、荷電粒子を検出することができない。 一方で、新型のシリコンピクセルセンサーでは、 n^+ 電極付近から空乏化が起こることにより逆バイアス電圧の印加直後から荷電粒子を検出することができる。 さらに、現行のピクセルセンサーは放射線によるバルク損傷が起こると n 型半導体部分が p 型半導体へ変化してしまうが、新型シリコンピクセルセンサーではこの事象を防ぐことができ、放射線耐性が高くなる。 また、現行の半導体は両面の加工が必要であることに対して、新型の半導体は片面の加工のみで済むためコストを下げることができることもメリットの 1 つである。

シリコンピクセルセンサーは、放射線耐性の高い 3D センサーと $100 \mu\text{m}$, $150 \mu\text{m}$ の厚さのプラナーセンサーの 2 種に分かれている。 各層のピクセルセンサーの詳細を表 2.1 に示す。

表 2.1: 各層のピクセルセンサーの詳細

層	センサータイプ	ピクセルサイズ [μm^2]	モジュールタイプ
Layer0 バレル	3D センサー	25×100	Triplet
Layer0 リング	3D センサー	50×100	Triplet
Layer1	プラナーセンサー	50×50	Quad
Layer2	プラナーセンサー	50×50	Quad
Layer3	プラナーセンサー	50×50	Quad
Layer4	プラナーセンサー	50×50	Quad

2.2.2 読み出しチップ (FE チップ)

シリコンピクセルセンサーで発生した信号は、読み出しチップ (FE チップ) である ASIC チップ (Application specific integrated circuit) へ送られる。1つの Quad モジュールあたり 4つ, Triplet モジュールでは 3つの ASIC が取り付けられている。図 2.6 にシングルチップカードに搭載された ITkPixV1 を示す。

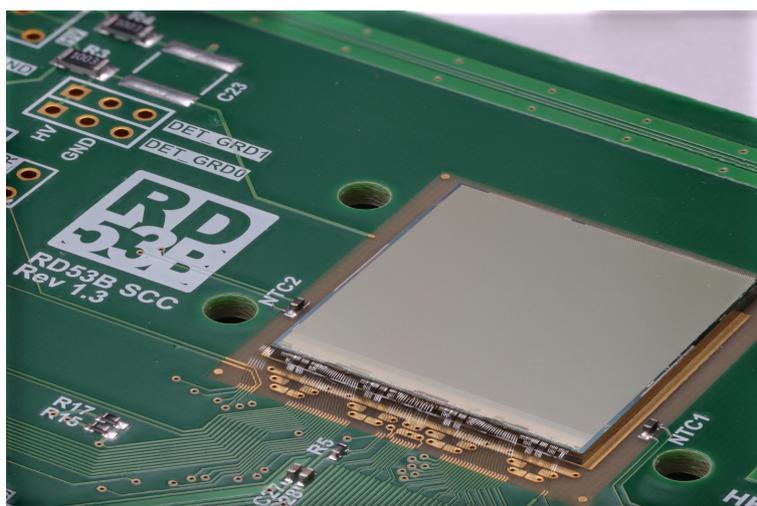


図 2.6: シングルチップカードに搭載された ITkPixV1 [10]

ここで用いられている FE チップは 2013 年に発足した, RD53 コラボレーションにより開発されたものである。RD53 コラボレーションでは, HL-LHC に伴う ATLAS 検出器と CMS 検出器のアップグレードにあたり, 高レート化や放射線耐性の向上に対応した読み出しチップを開発することを目的として読み出しチップを設計している。ATLAS 検出器と CMS 検出器の読み出しチップのサイズを表 2.2 に示す。

表 2.2: ATLAS 検出器と CMS 検出器の読み出しチップのサイズ比較

	ATLAS	CMS
バンプピッチ	50 μm \times 50 μm	50 μm \times 50 μm
pixel rows	384	336
pixel columns	400	432
ピクセル外サイズ	60 μm	60 μm

RD コラボレーションのプロトタイプとして開発された読み出しチップが RD53A である。RD53A は Synchronous FE, Differential FE, Liner FE の 3 領域に分けられている。その後、Differential FE をベースとした ITkPixV1 が開発された。さらに、実際に搭載される読み出しチップとして ITkPixV2 が開発された。現行のピクセルと ITkPixV2 の性能の比較を 2.3 に示す [11]。

表 2.3: 現行ピクセルと ITkPixV2 の性能比較

	現行ピクセル	ITkPixV2
チップサイズ [cm^2]	2x2	2x2
ピクセルサイズ [μm^2]	50 \times 250	50 \times 50
ヒットレート [GHz/cm^2]	0.4	3
トリガーレート [MHz]	0.1	1
トリガー遅延 [μs]	6.4	12.8
表面積 [m^2]	1.9	13
放射線耐性 [MRad]	300	500
電流消費 [$\mu\text{A}/\text{pixel}$]	20	<8
最小閾値 [e]	1500	600

2.2.3 バンプ

シリコンピクセルセンサーと FE チップ (ASIC) は SnAg の金属球により電氣的に接続されており、これをバンプと呼ぶ。図 2.7 にバンプボンディングを示す。チップとセンサー間の距離は 20-25 μm 、バンプの中心間の距離を指すピッチは 50 μm の寸法でバンプボンディングされている。バンプの成膜は T-micro (Tohoku-MicroTec) によるものであり、シリコンピクセルセンサーと FE チップの接続にバンプを使用することで 1 ピクセルごとの正確な接続を実現することができるという利点により、位置分解能の高い読み出しを可能にしている。バンプは上下の金属電極に接続するようにバンプボンディングされており、チップとセンサー間の距離だけでなくバンプ自身の高さも定められている。モジュールの生産では、同条件で同時に生産されたモジュール群をバッチと指し、バッチごとに詳細な設計などが異なる。バンプ自身の高さはバッチごとで異なり、バッチ 1-6 は 5 μm で製造されているのに対し、バッチ 7 以降では 15 μm と変更されている。図 2.8 にバッチによるバンプの高さの違いを示す。

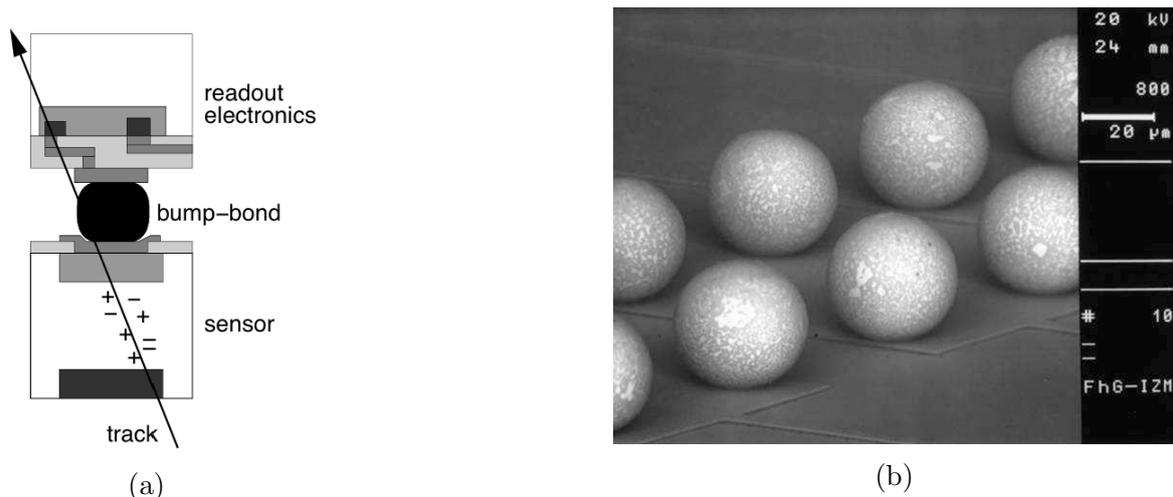


図 2.7: バンプの様子. (a) 荷電粒子通過時のバンプの断面図. (b) バンプの列の写真. [12]

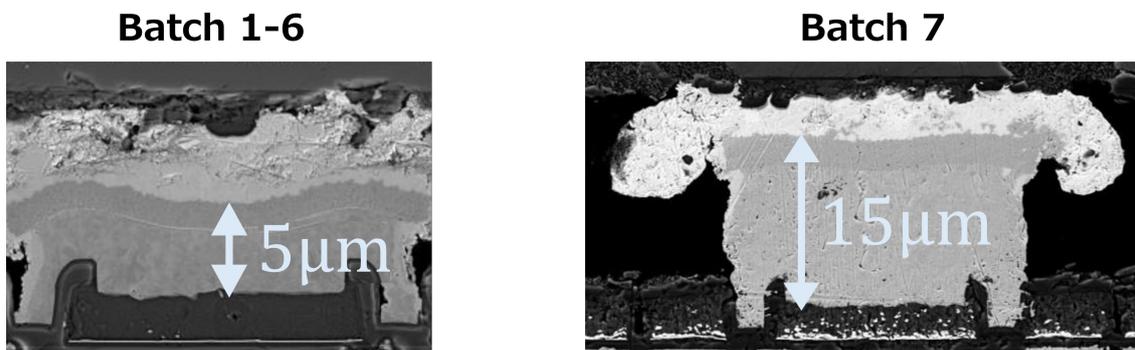


図 2.8: バッチによるバンプの高さの違い [13]

2.2.4 フレキシブル基板 (FPC)

FE チップから送られてくる信号はフレキシブル基板 (FPC:Flexible printed circuits) によって Data Acquisition(DAQ) システムに転送される. 図 2.9 に ITk ピクセル検出器に使用されている FPC を示す. FE チップと FPC は直径 $25\mu\text{m}$ のアルミワイヤーで電氣的に接続されている. 図 2.9 中央部には ZIF(Zero Insertion Force) コネクタがあり, 信号読み出し用ピグテールが接続でき, ここから DAQ システムに信号が転送されている. 図下部には電源用コネクタがあり, モジュールへ HV(High Voltage) や LV(Low Voltage) などの電源を外部から供給することができる. 温度センサーが実装されており, モジュール温度が測定できるようになっている. 白線円内には部品が実装されておらず, 検査時に真空吸着可能であることによりモジュールを移動しやすくしている. また, 周囲にはアライメント時にピンを刺すためのフレームが付いており, モジュールとして実装時には切り落とされるものである. 1 モジュールあたり約 500 本のワイヤーにより FE チップと FPC が接続されている. アルミワイヤーはアルミニウムに 1%ほどのシリコンが含まれたものが使用されている.

第3章 品質試験

ハヤシレピックに送られたベアモジュールとフレキシブル基板はモジュールへと組み立てられる。本章では、ハヤシレピックで取り組まれている、モジュールの組み立て手順とその際に行われている品質試験について記す。

3.1 モジュール組み立て手順

図3.1にモジュールの組み立て手順を示す。図の上段はモジュールの生産過程の状態を表すステージ、下段はステージ中に行われる品質試験の項目を表している。ハヤシレピックに送られたベアモジュールとフレキシブル基板は組み立て (Assembly) に当たる接着作業が行われる。その後FEチップとフレキシブル基板を電氣的に接続するためのワイヤーボンディングが打たれる (Wirebonding)。その状態で読み出し試験を 20°C と -15 °C で行う (Readout test)。正常な読み出しが確認できると、モジュールの放電防止や湿気からの保護のためにパaryレンコーティングされる (Parylene)。ワイヤーボンディングを外部の衝撃から保護するために炭素系素材でできたプロテクションを取り付ける (Wirebond protection)。ここまででモジュール全体としての組み立ては完了し、続いて温度サイクル試験 (Thermal cycle)、連続稼働試験 (Stability test)、読み出し試験 (Readout test) が行われる。

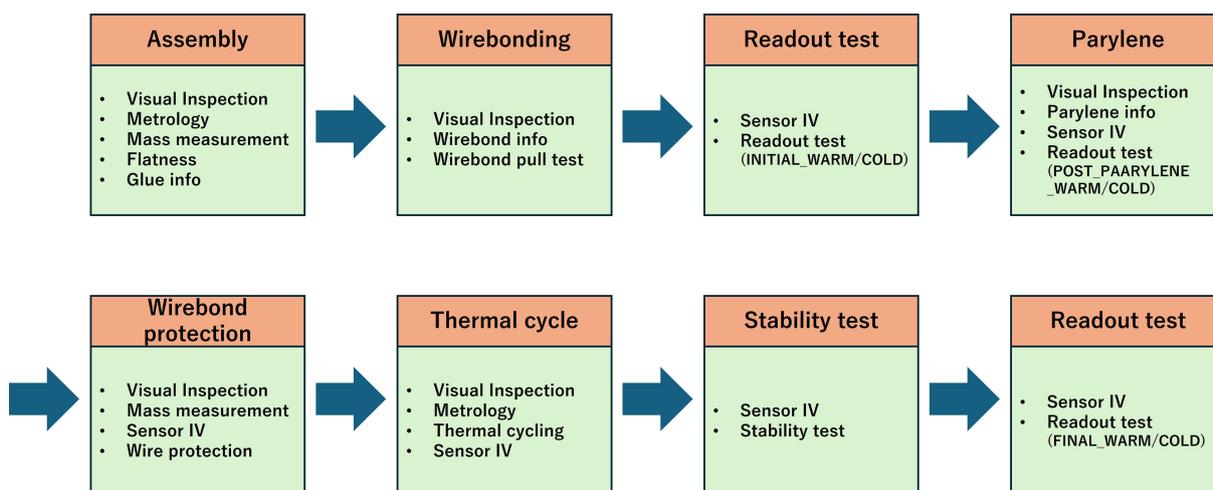


図 3.1: 組み立て手順

3.2 品質試験手順

3.2.1 質量検査 (MASS MEASUREMENT)

質量検査は、組み立て (Assembly) の前後で行われるモジュール全体の質量を測定する検査である。組み立ての過程で FPC やセンサー、アセンブリ後のモジュールの質量を 1 mg の精度で測定して、質量の変化から、直接測定不能である接着剤やワイヤー保護装置の質量を算出することができる。

3.2.2 外観検査 (VISUAL INSPECTION)

外観検査は、モジュール表面の傷や汚れ、外部損傷等やワイヤーボンディングの確認を目視で確認する試験である。図 3.2 に外観検査用の装置を掲載する。外観検査装置は顕微鏡にカメラが取り付けられており、これを用いてモジュールの表裏両面を撮影する。撮影した画像は、モジュールを 36 分割した拡大画像として表示され、モジュールの欠陥を見つけるための検査項目に沿って目視で確認する。図 3.3 に外観試験の例を示す。問題が確認された場合に報告するためのチェックボックスやコメント欄が用意されている。チェックリスト右列にあたる、Red Defects に該当するような深刻な欠陥が確認された場合にはその時点で品質不合格となる。

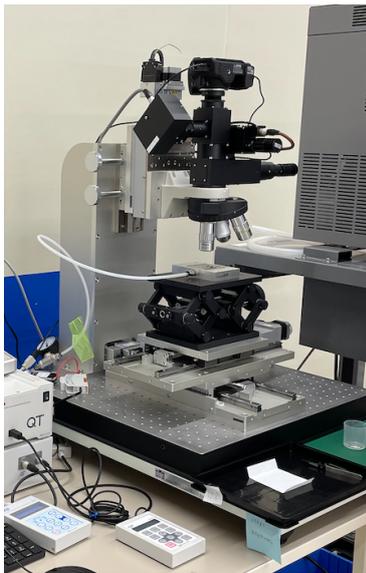


図 3.2: 外観試験装置

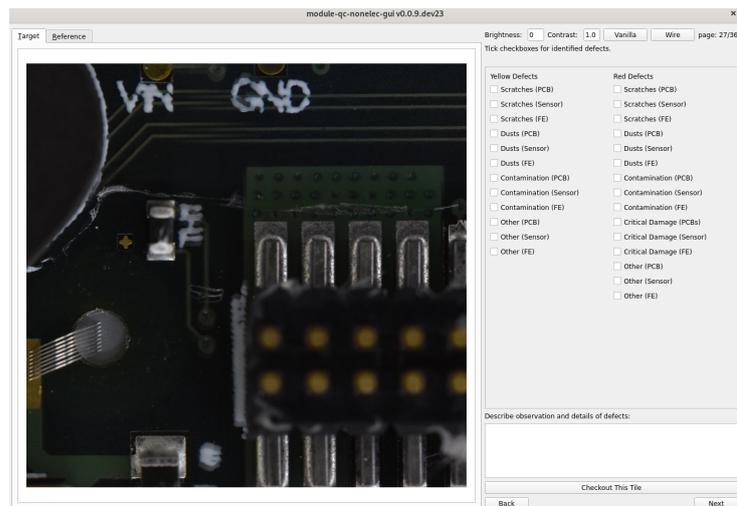


図 3.3: 外観検査の例

3.2.3 メトロロジー (METROLOGY)

メトロロジーは、撮影したモジュールの写真を用いて 3 次元位置座標を算出し、高さや各部分の長さを測定する試験である。また測定装置は図 3.2 と同じものを使って測定を行う。アセンブリ後、ワイヤーボンディング後、パリレン出荷のためのマスク後、パリレンから返ってきた直後、パリレン用のマスク剥がし後、サーマルサイクル後にそれぞれ測定が行われる。図 3.4 にメトロロジー解析の例を示す。長さ測定は各部分の境界部分を複数点認識し、フィッティングすることで

境界線を決定した後に境界線間の距離を算出している。境界点は基本的には自動で検出されるが、目視での確認と修正が必要である。高さ測定は、オートフォーカスによって測定した点をもとに平面をフィッティングし、厚さを算出している。図 3.4 にメトロロジー解析の例を示す。Photo の欄により境界点を決定・選択している。

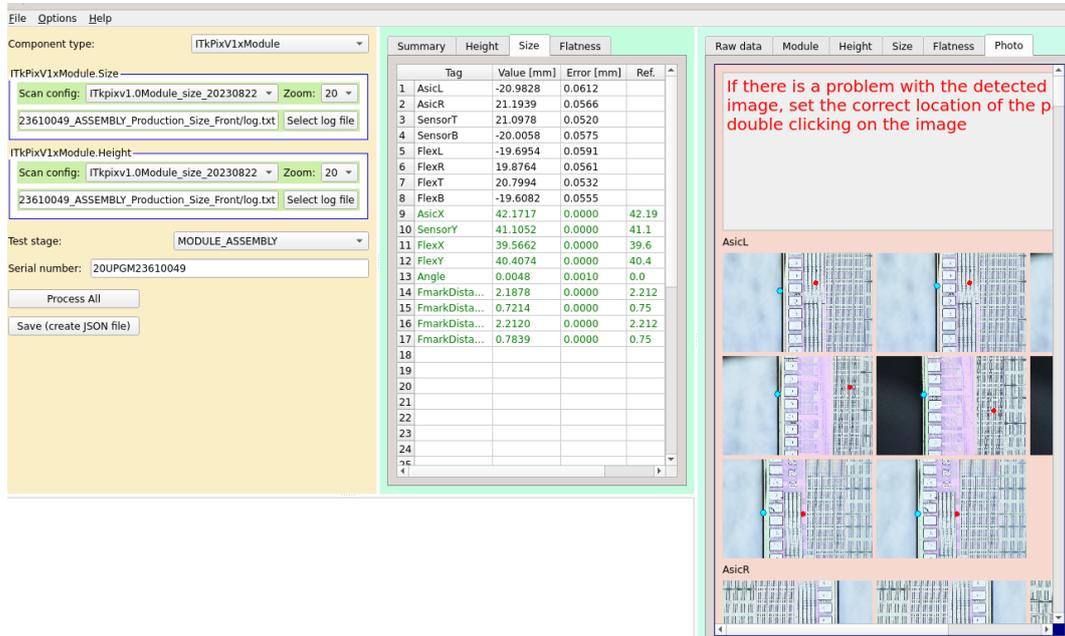


図 3.4: メトロロジー解析の例

3.2.4 平坦測定 (FLATNESS)

平坦測定は図 3.2 の装置を用いて撮影した画像から、モジュールの歪みを測定する試験である。温度変化による物質の膨張・収縮などから歪むことが想定されており、熱サイクル前後に測定が行われる。図 3.5 に平坦測定の例を示す。

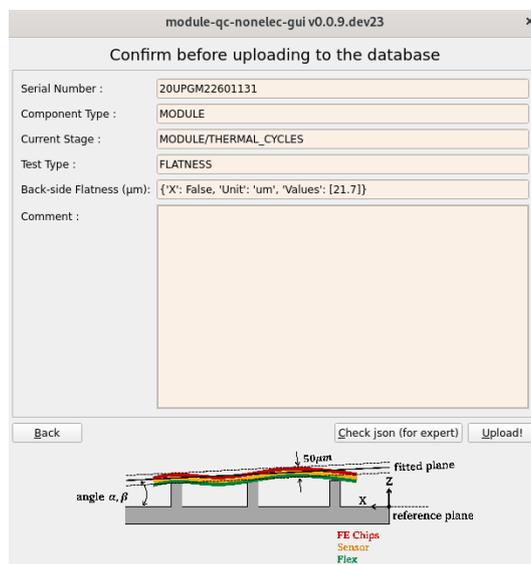


図 3.5: 平坦測定の例

3.2.5 ワイヤー強度測定 (WIREBOND PULL)

FE チップとフレキシブル基板はワイヤーによって電氣的に接続されている。ワイヤー強度試験は、ワイヤー強度測定装置を利用してワイヤーを引っ張って負荷を与え、ワイヤーが切れるときの負荷の大きさを測定する試験である。試験されるワイヤーは、配線用と別に打たれた試験用のワイヤーである。図 3.6 のようなワイヤー強度測定装置で試験用に打たれたワイヤーの壊れ方と壊れた時の負荷の大きさを測定している。壊れ方はワイヤー中間での断裂、フレキシブル基板側のワイヤー末端部での断裂、FE チップ側のワイヤー末端部での断裂、ボールボンド部の剥離の 4 種に分けられる。

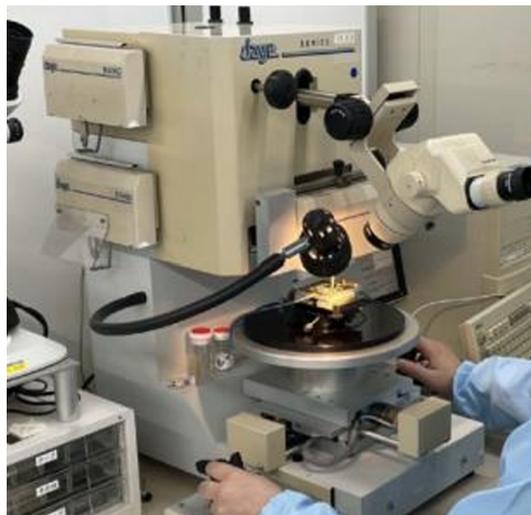


図 3.6: ワイヤー強度測定装置

3.2.6 読み出し試験 (ELECTRICAL QC)

各ステージにて、モジュールの動作確認のための読み出し試験を行っている。読み出し試験のステージはそれぞれ組み立て後を INITIAL、パリレンコーティング後を POST_PARYLENE、最終読み出しを FINAL と呼び、20°C で測定する WARM と -15 °C で測定する COLD に分かれる。読み出し試験の内容は ATLAS グループで統一された QC 手順書により定められている [14]。試験内容について以下に示す [15]。

IVscan

シリコンピクセルセンサーに印加されるバイアス電圧を 5 V のステップごとに大きくし、0 V から 200 V までリーク電流を測定する試験である。各ステップの後のセッティング時間は 2 s であり、電流のコンプライアンスとして設定されている、 $100 \mu\text{A}/\text{cm}^2$ に達するまで測定する。完全空乏化電圧 +50 V の範囲において $1.5 \mu\text{A}/\text{cm}^2$ 以下であることが求められる。図 3.7 に IVscan の測定合格例を示す。

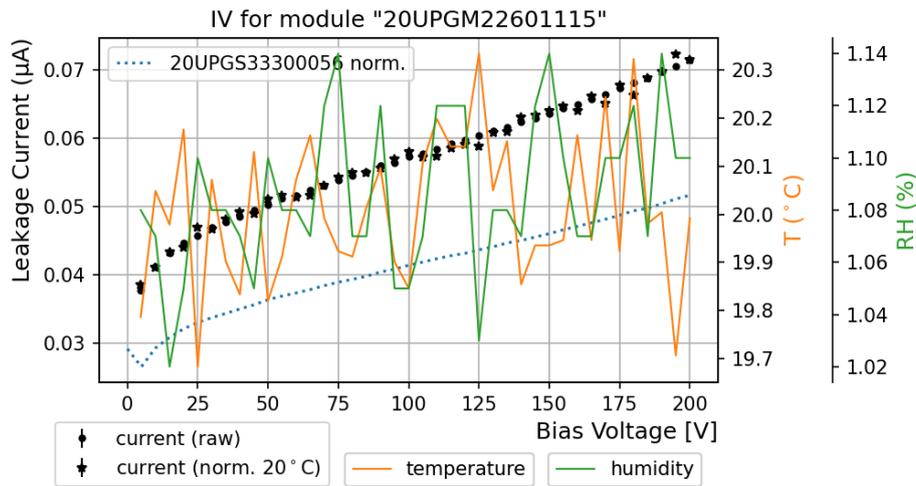


図 3.7: IVscan の測定合格例

ADC calibration

FE チップには 12-bit ADC が搭載されている。ADC は本試験以前に行われる電源のテスト後に校正することで、電圧と電流を測定することができる。ADC calibration では、入力電圧を 0.1 V から 0.7 V まで変化させたときの出力 ADC 値との関係やリニアリティ、オフセットを測定している。図 3.8 に ADC calibration の測定合格例を示す。

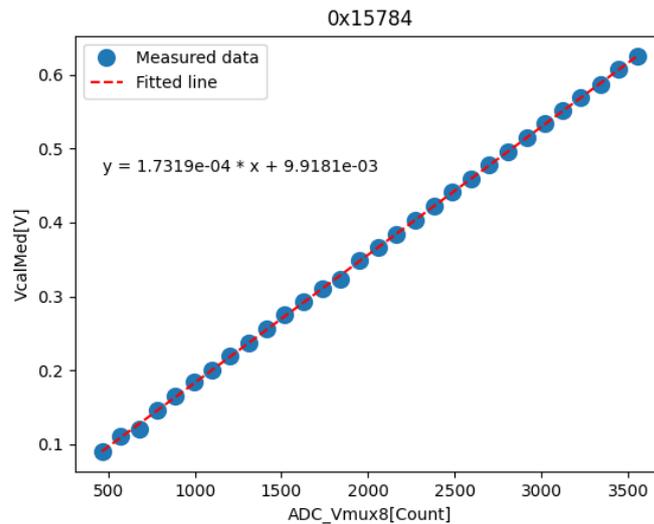


図 3.8: ADC calibration の測定合格例

Analog readback

アナログマルチプレクサですべての FE チップの内部電圧と電流を読み出して、アナログ回路とデジタル回路の電源供給状態を検証する試験である。測定は大きく 4 項目に分かれており、各部の電圧と電流を測定する電圧測定などである。図 3.9 に Analog readback の測定合格例を示す。

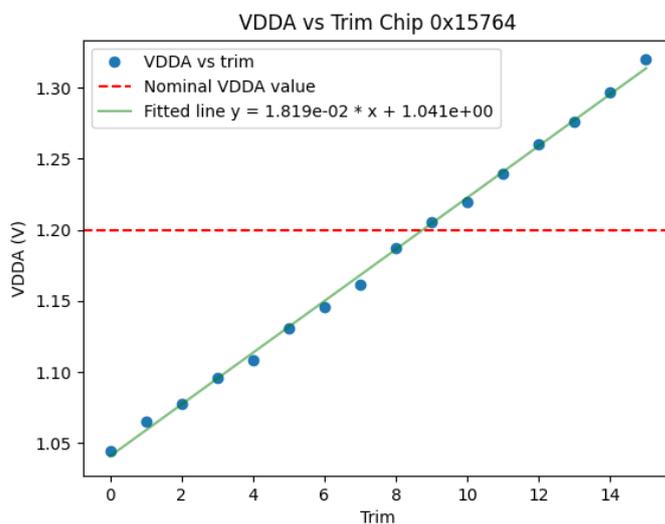


図 3.9: Analog readback の測定合格例

SLDO

SLDO (Shunt Low Drop Out) レギュレータは急激な電圧変化に対して電流変化を防ぐデバイスである。本試験は SLDO レギュレータに対する入出力電圧電流のを測定する試験であり、デジタル部とアナログ部の電圧や電流が一致していることが要求されている。図 3.10 に Analog readback の測定合格例を示す。

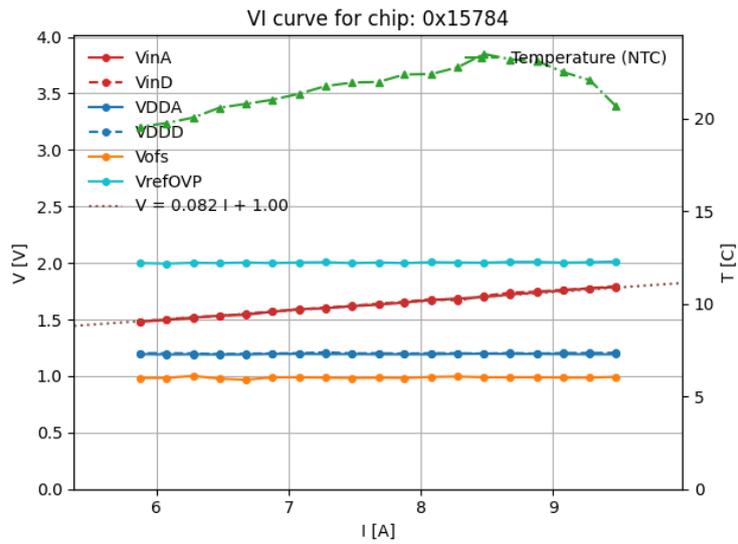


図 3.10: SLDO の測定合格例

Vcal calibration

デジタル信号からアナログ信号に変更するデバイスであり、後述する試験にテスト電荷を生成するための電圧をキャリブレーションすることを目的としている。DAC を変更して Vcal の値を変え、その時の電圧値をマルチプレクサから出力して測定する。図 3.11 に Vcal calibration の測定合格例を示す。

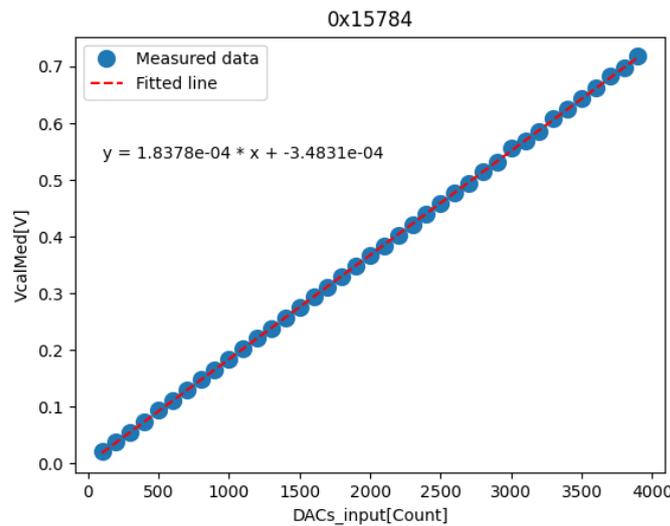


図 3.11: Vcal calibration の測定合格例

Injection capacitance

FE チップの注入回路における静電容量は、チューニング中にピクセルに入射されるテスト電荷の電荷量を決定している。Injection capacitance を測定することでテスト電荷を生成し、正確な範囲内に収まっていることを確認する。

Low power (LP) mode

モジュールが電圧が小さい状態で正常に作動することを確認する試験である。LP モードとはチップの機能を有効化する範囲を狭めることで低い消費電力を実現するモードのことであり、検出器への内蔵作業中などモジュールに cooling が取り付けられていない状態での動作確認に用いる。各部分の電流や電圧の測定を行う。

Data transmission

データリンクのクオリティを確認するための測定。

3.2.7 温度サイクル試験 (THERMAL TYCLE)

温度サイクル試験は、ITk 導入時の起こり得る非常時の温度変化を想定し、温度変化耐性を確認するための試験である。シリコンピクセルモジュールは複数部品から構成されるため、温度変化が生じると部品の熱膨張率の違いによってモジュールが歪むことが考えられる。ITk 導入時に想定される温度変化としては検出器内部の冷却機能が停止することによる +40°C までの昇温と、過冷却による -40°C までの冷却である。温度サイクル試験は恒温槽で行われ、想定温度変化範囲を満たす、-45°C から +40°C までの温度変化を 10 サイクル繰り返す。さらに、-55°C から +60°C までの温度変化を最終サイクルとして行う。

3.2.8 連続稼働試験 (LONG TERM STABILITY)

モジュール温度を 20 °C に設定し、低電圧と高電圧の印加をし、モジュール温度の読み出しを 8 時間以上連続で行う試験である。本試験により連続稼働することが確認でき、ITk 導入時に正常に動作することを保証できる。

第4章 プロダクションの進捗状況

ATLAS日本グループでは、HL-LHCに向けて約2,800個のITkピクセルモジュールの生産が求められている。量産前には、モジュール生産の工程確立のためのプリプロダクションが実施されている。プリプロダクションは2023年6月から2025年1月に渡って実施され、量産時に必要なモジュールの10分の1程度である約200モジュールを試験量産した。2024年9月からはプロダクションが開始し、本量産が行われている。本章では、プロダクションにおける生産体制や生産状況について述べる。

4.1 ハヤシレピックにおける生産体制

モジュールの組み立てや品質試験は千葉県館山市に位置するハヤシレピック株式会社第三事業部にて、ATKAS日本グループがシフト体制で実施している。図4.1に実際の品質試験を行っているハヤシレピック株式会社のクリーンルーム内の環境を示す。読み出し試験を行うためのクーリングボックス、熱サイクル試験を行うための恒温槽、メトロロジーや外観試験を行うための顕微鏡システム、モジュールを保管するためのデシケータがそれぞれ配置されている。以下では各装置や環境について説明する。



図 4.1: ハヤシレピックでの品質検査環境 [16]

4.1.1 アセンブリスペース

アセンブリスペースではモジュール生産の最初の工程である組み立てや、読み出し試験用のフラットケーブルの取り付けなどを行う。アセンブリにおいてベアモジュールにFPCを取り付ける際にはそれぞれに対応した治具が用意されており、真空吸着することで固定する。接着の際にはFPCに接着剤を塗布し、ベアモジュールとFPCの治具を利用して互いの位置を合わせる。組み立てられたモジュールはキャリアと呼ばれるケースに入れられる。図4.2にキャリアに入れられたモジュールを示す。キャリアは主に3層に分かれているケースであり、読み出し試験や外観試験などの測定用途に合わせて開閉することができ、モジュールの損傷を防ぐだけでなく、扱いやすさにも優れている。読み出し試験時にはモジュールをキャリアに入れた状態でフラットケーブルが取り付けられる。図4.3にフラットケーブルを取り付けたモジュールを示す。



図 4.2: キャリアに入れたモジュール

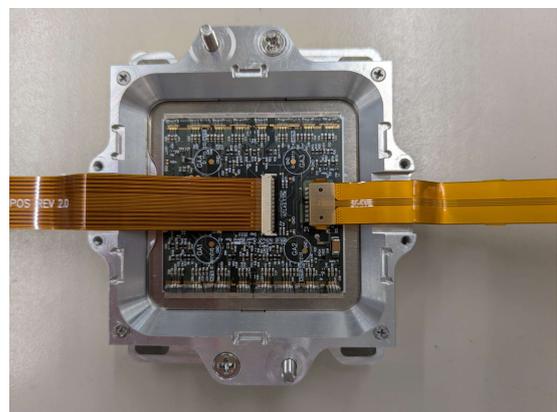


図 4.3: フラットケーブルを取り付けたモジュール

4.1.2 クーリングボックス

クーリングボックスは、モジュールの読み出し試験を行うための装置である。プリプロダクション時には3台のクーリングボックスが設置されていたが、プロダクションに入った現在では、増設され合計7台のクーリングボックスを用いて読み出し試験が行われている。図4.4にクーリングボックスの全体図を示す。読み出し試験は-15℃と20℃でそれぞれ実施される。各温度で読み出し試験を実施するための温度操作はクーリングボックスにて行うことができ、装置外部は断熱性が高いスタイロフォーム（発泡ポリスチレン）で覆われている。スタイロフォーム内部は、冷却時の結露によるモジュールの損傷を防ぐため、乾燥窒素が充填されている。クーリングボックス左右には電源供給とデータ通信を行うフラットケーブルを接続するためのアダプターカードが設置されている。図4.4後方にはチラーが設置されており、冷却用不凍液が供給できるものとなっている。読み出し試験中は鍵がかけられるように設計されており、蓋が開くことによる結露などのモジュール損傷を防いでいる。また、クーリングボックス前方の非常停止ボタンやインターロックシステムなどのモジュールに適した環境を維持するための機能も搭載している。

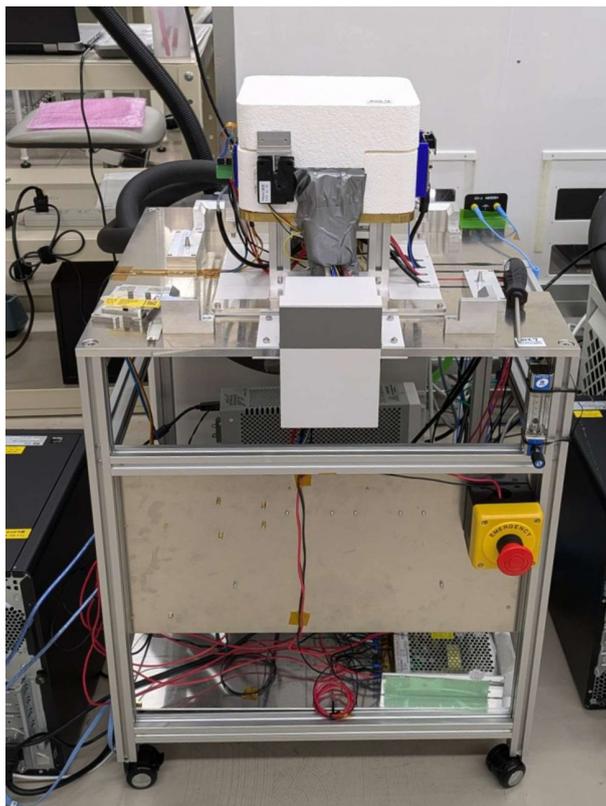


図 4.4: クーリングボックス全体図

クーリングボックス内部を図 4.5 に示す。スタイロフォーム内部のケースはポリアセタール樹脂で構成されている。ケース中央部にモジュールは固定され、図中の手前からキャリアへと接続されている管から乾燥窒素が送り込まれる。ケース周囲にはヒータが巻き付けられており、ヒータによるモジュール温度の昇温ができるようになっている。モジュールの下部にはペルチェ素子が設置されており、ペルチェ素子の吸熱によってモジュール温度を下げる事ができる。ペルチェ素子により発生した熱はチラーにより循環供給される冷却不凍液が吸熱している。ペルチェ素子の温度やモジュールの温度・露点、モジュールにかかっている電圧などの測定環境に関するデータは常に測定されモニターできるようになっている。モニターにはダッシュボードソフトウェアである Grafana を用いており、測定データを常に可視化することでモジュールの状況が素早く把握できるものとなっている [17]。図 4.6 に Grafana によるデータモニターの様子を示す。Grafana によるモニターでは測定されたデータをもとにモジュールの状態を判別し表示している。この機能によりクーリングボックスの開閉状態やモジュールが正常であることなどは一目で確認でき、図 4.6 で示した Grafana によるデータのモニターではすべてのクーリングボックスで Safe な状態であることが分かる。

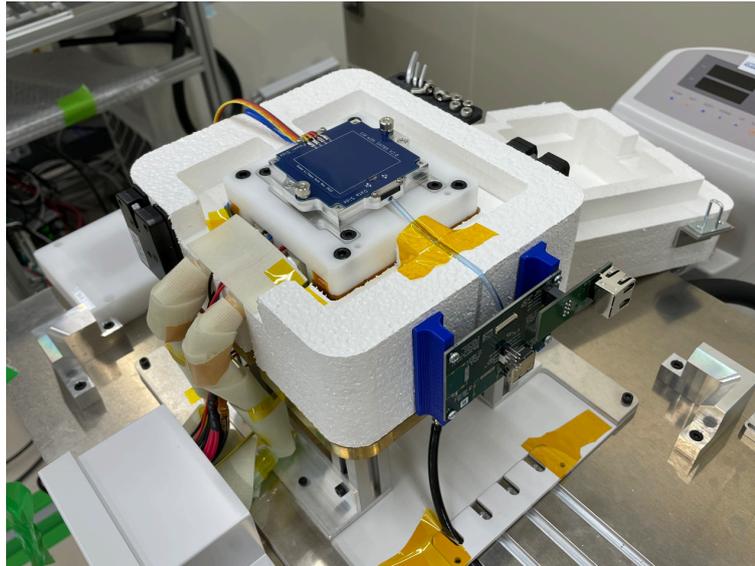


図 4.5: クーリングボックス内部

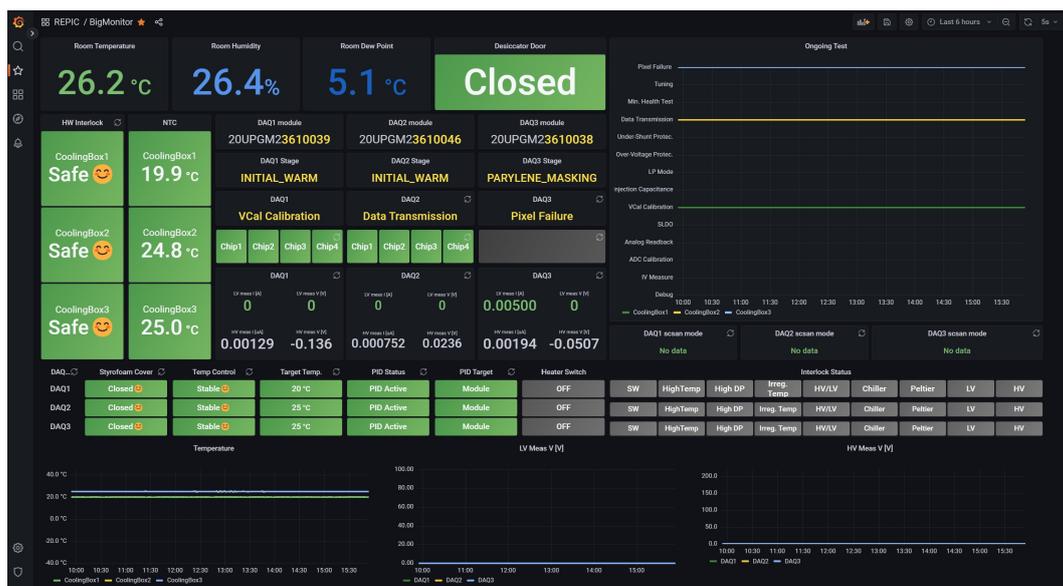


図 4.6: Grafana によるデータのモニター

4.1.3 X線照射装置

読み出し試験に含まれるピクセル試験の一つとして X 線照射試験が行われている。X 線照射試験は X 線をモジュールに照射し、ヒット数を測定することによりバンプの接続やモジュールの正常な作動を確認することを目的とした試験である。X 線照射試験ではクーリングボックスの上から X 線を照射しており、その際に X 線照射装置をクーリングボックスを覆うように設置する。X 線の照射時間は X 線照射試験の測定中のみである。図 4.7 にクーリングボックスに設置された X 線照射装置を示す。X 線照射装置は Ag ターゲット薄膜に加速された電子を照射することで、特性 X 線や制動放射に由来する X 線をモジュールに照射している。最大 50 keV までの X 線を照射することができ、照射範囲は真鍮製のコリメータによって必要範囲に絞られている。遮蔽箱の構造は、底面には厚さ 2 mm の鉛、側面には厚さ 1 mm の鉛を厚さ 1 mm の鉄板金で補強したものを採用したものである [18]。



図 4.7: クーリングボックスに設置された x 線照射装置

4.1.4 恒温槽

熱サイクル試験は恒温槽にて行われる。図 4.8 に実際に熱サイクル試験に利用している恒温槽を示す。恒温槽には真空計と温度計が備え付けられており、モジュール温度を変動させることによる異常の発生がないかを確認するための装置である。NTC 電圧の値を測定しており、Steinhart-Hart 式によりサーミスタの値を温度値に変換している。恒温槽の可能な温度変化範囲は -60°C から $+150^{\circ}\text{C}$ であり、実際の熱サイクル試験では -55°C から $+60^{\circ}\text{C}$ の範囲で使用する。プリプロダクションの段階では、一度の試験には約 18 時間かかっているため、プロダクションでは生産ペースを上げるために 8 モジュール同時に試験を行う予定である。



図 4.8: 熱サイクル試験用恒温槽

4.1.5 デシケーター

デシケーターは組み立てられたモジュールや製造前後で読み出し試験を行っていないモジュールを保管する役割をしている。図 4.9 にモジュール管理用のデシケーターを示す。デシケーター内部は温度や湿度が均一に保たれており、モジュールの湿気による損傷を防いでいる。湿度は扉が閉まっている状態で 0.3%程度に保たれており、湿度が高くなると乾燥窒素を循環させて湿度を下げていく。デシケーター内の環境を一定に保つために密閉されており、扉の開閉を記録して管理している。扉枠と扉には銅テープが貼られており、電気的な接触を検知することで扉の開閉状態を検知している。扉が開いているときには音で閉め忘れを防止しており、また長時間扉があいた状態が続くと前述した Grafana での監視により通知される。



図 4.9: デシケーター

4.2 品質試験結果の管理

3章で前述した品質試験の結果はデータベースで管理されることで、品質試験結果の参照や解析を可能にし、モジュール品質の向上維持に役立てられている。本節ではモジュールの品質試験におけるデータの取り扱いについて記す。

4.2.1 データベース

図4.10にモジュール情報の管理状況を示す。Itkに関する検査情報などはITkProductionDatabase (ITkPD) と呼ばれる中央データベースで最終的に管理される。中央データベースはチェコのユニコーン大学 (Unicorn University) が中心に開発しており、データベースサーバーはチェコに位置している。日本で行われた品質試験結果は一度 LocalDB に保存される。LocalDB は世界の各研究機関に置かれるデータベースであり、日本では東京科学大学で開発が行われている。LocalDB はモジュールの組み立て工程における試験結果を保存しておくと共に中央データベースへのアップローダーとしての機能を持つ。量産時に行われる品質試験は測定を繰り返し行うことがあり、必要なデータのみを選定して LocalDB から中央データベースへアップロードすることでデータ量を最小限にしている [19]。中央データベースで管理されているモジュール情報は Itk を構成するに当たり、モジュールの選定に活用される。| η | の小さい領域では、質量の大きい粒子が観測対象になるため、ピクセル不良が少ないモジュールが使用される。LocalDB は web 上で閲覧・操作が可能である。

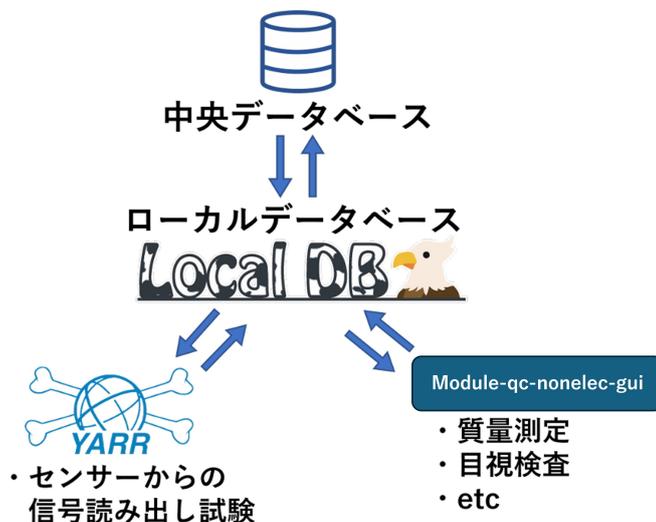


図 4.10: モジュール情報管理状況 [20]

図 4.11 に LocalDB の ewb ページを示す。LocalDB の ewb ページ上では各モジュールの試験結果が閲覧できるようになっており、測定済みの試験と未実施の試験が項目ごとに一目で分かるようになっている。LocalDB へデータをアップロードしているのが YARR と module-qc-noelec-gui である。YARR と module-qc-noelec-gui に関しては 4.2.2 と??で説明する。

The screenshot shows the LocalDB web interface for a specific component. The page title is '20 U PG M2 2601115'. The breadcrumb trail is 'Top Page > Component List > 20 U PG M2 2601115 > QC Result'. The page is divided into several sections:

- Outer-Quad-Module/ITkPix_V1.1**: A link to the 'ITKPD Component Page'.
- Component Information**: A table with the following data:

Item	Value
Serial Number	20 U PG M2 2601115
Production DB Component ID	a02c24d3cc8a6b5e032a03680565edf6
LocalDB Component ID	65419e9629ece10041856450
Component Type	module
Super-Component	No match.
Sub-Components	<ul style="list-style-type: none"> Bare Module: 20 U PG B4 2303020 FE Chips: 20 U PG FC 0087940 PCB: 20 U PG PQ 2601115 FE Chips: 20 U PG FC 0087948 FE Chips: 20 U PG FC 0087908 FE Chips: 20 U PG FC 0087929
Flags	
- Properties**: A table with the following data:

Item	Data Type	Value
FE chip version	codeTable	2
PCB-Bare Orientation isNormal	boolean	True
Wirebond protection roof presence	boolean	None
IREF Trim Bit FE1	integer	None
IREF Trim Bit FE2	integer	None
IREF Trim Bit FE3	integer	None
IREF Trim Bit FE4	integer	None
Alternative ID	string	None
- Comments**: A table with the following data:

Date	Commented by	on which Component	Comment
2023-11-08 04:46:42	itkqc	module 20UPGM22601115	Wired pattern was observed for threshold scan on chip1, sometimes it was disappeared at second trial but sometimes not.
2023-11-08 06:50:38	itkqc	module 20UPGM22601115	failed to configure module at initial cold start up
2023-11-08 07:56:54	itkqc	module 20UPGM22601115	have to go 10 degC to configure the module.

図 4.11: LocalDB の web ページ

4.2.2 YARR

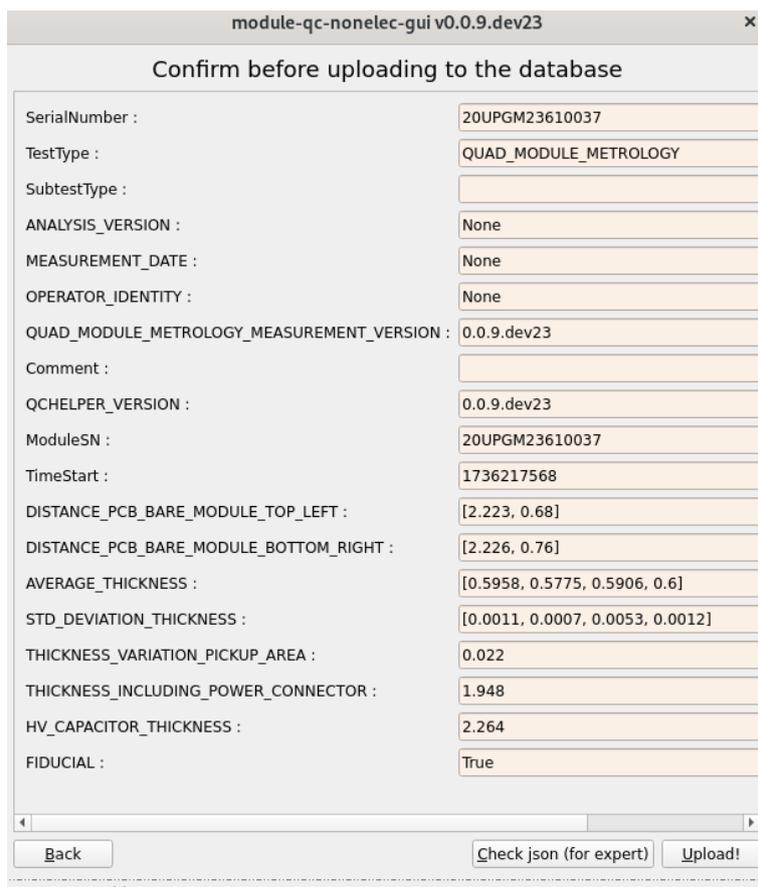
YARR(Yet Another Rapid Readout) はモジュール用読み出し DAQ ソフトウェアである [21]. YARR はピクセル試験において用いられ, ピクセル試験の結果は LocalDB 上にアップロードされる. 図 4.12 に YARR から LocalDB にアップロードされたピクセル試験一覧を示す. YARR Scan List に掲載されている各ピクセル試験の結果は詳細をパラメータとしてだけでなく, 二次元マップとして視覚的に確認することができる. 章に後述する Merged bump scan, Threshold scan, Disconnected bump scan, X-ray scan の試験結果は YARR を用いて LocalDB にアップロードされる.

View	Module Name (ATLAS SN)	Chip Name (ATLAS SN)	Scan	User	Site	Date	Stage	Tags	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_xrayscan	ltkqc	hr	2025-01-07 16:02:47 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_discbumpscan	ltkqc	hr	2025-01-07 14:56:31 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_mergedbumpscan	ltkqc	hr	2025-01-07 14:54:23 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_noisescan	ltkqc	hr	2025-01-07 14:45:37 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_thresholdscan_hd	ltkqc	hr	2025-01-07 14:29:50 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_analogscan	ltkqc	hr	2025-01-07 14:28:45 JST(+0900)	MODULE/FINAL_COLD	PFA	Create
View Scan	20 U PG M2 2601114	20 U PG FC 0087993 20 U PG FC 0087973 20 U PG FC 0087959 20 U PG FC 0087980	std_digitalscan	ltkqc	hr	2025-01-07 14:26:08 JST(+0900)	MODULE/FINAL_COLD	PFA	Create

図 4.12: モジュール情報管理状況

4.2.3 module-qc-noelec-gui

module-qc-noelec-gui は LocalDB に YARR を用いていない非電氣的な品質試験結果をアップロードするための GUI(Graphical User Interface) である。具体的な試験項目としては 3 章で前述した試験項目のうち、外観試験、平坦測定、ワイヤー強度測定、メトロロジー、IV scan 等である。python と PyQt という GUI ツールキットを用いて作られたアプリケーションである。図 4.13 に module-qc-noelec-gui を用いたデータアップロード画面を示す。



Field	Value
SerialNumber :	20UPGM23610037
TestType :	QUAD_MODULE_METROLOGY
SubtestType :	
ANALYSIS_VERSION :	None
MEASUREMENT_DATE :	None
OPERATOR_IDENTITY :	None
QUAD_MODULE_METROLOGY_MEASUREMENT_VERSION :	0.0.9.dev23
Comment :	
QCHELPER_VERSION :	0.0.9.dev23
ModuleSN :	20UPGM23610037
TimeStart :	1736217568
DISTANCE_PCB_BARE_MODULE_TOP_LEFT :	[2.223, 0.68]
DISTANCE_PCB_BARE_MODULE_BOTTOM_RIGHT :	[2.226, 0.76]
AVERAGE_THICKNESS :	[0.5958, 0.5775, 0.5906, 0.6]
STD_DEVIATION_THICKNESS :	[0.0011, 0.0007, 0.0053, 0.0012]
THICKNESS_VARIATION_PICKUP_AREA :	0.022
THICKNESS_INCLUDING_POWER_CONNECTOR :	1.948
HV_CAPACITOR_THICKNESS :	2.264
FIDUCIAL :	True

図 4.13: module-qc-nonelec-gui でのデータアップロード

4.3 生産の進捗状

前述したとおりハヤシレピックでの生産は昨年まで行われていたプレプロダクションの大半を終え、2024年9月から実際にITkに導入されるモジュールを生産するプロダクションが行われている。本論文執筆時(2025年1月)にはプロダクション品モジュールは、約20モジュールに対して組み立て(Assembly)、ワイヤーボンディング(Wirebonding)、INITIAL WARM ステージでの読み出し試験が行われている。現在はプレプロダクション品モジュールの生産と並行してプロダクションを行っているため、生産ペースは上がると考えられる。図4.14に2024年2月時点でのプロダクションの進捗状況を示す。現段階では43モジュールの生産に取り掛かっており、parylene masking まで進めている。

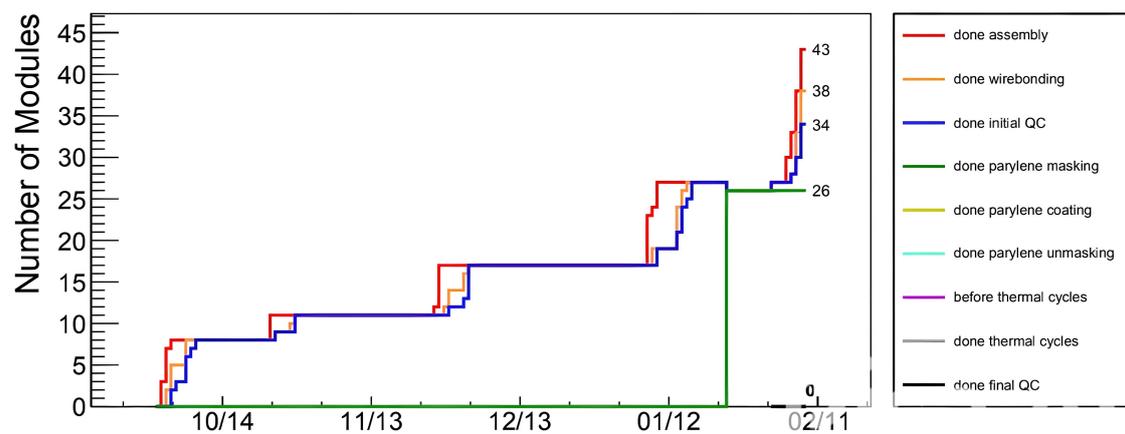


図 4.14: プロダクションの進捗

第5章 品質試験結果の解析

モジュールの量産にあたり、各モジュールの読み出し試験 (EQC) が行われている。モジュールの中には、QC 判定基準を満たさない品質不合格や不具合が見られるモジュールが存在する。そこで品質試験では結果が品質基準を満たしていることを確かめるだけでなく、不具合の原因究明や品質試験自体の妥当性の検証が必要とされている。そのため品質試験の過程では各試験結果の解析が品質試験と並行して行われている。本章では、私が解析を行った読み出し試験の一種である Merged bump scan の解析結果について記す。

5.1 ピクセル試験

EQC の中では各ピクセルが正常に機能しているかを確かめるためのピクセル試験が行われている。ピクセル試験の一つが Merged bump scan である。Merged bump scan や解析の中で結果を利用したピクセル試験の内容について本節に記す。

5.1.1 Merged bump scan

Merged bump scan は、シリコンピクセルセンサーと FE チップの電気的接続をしているバンパ同士がショートしていた場合に検出するための試験である。試験手順は以下の通りである。

1. 試験対象ピクセルの Threshold を 1500 e に設定し、隣接ピクセルに 2000 e のテスト信号を 100 回入力する。
2. ピクセルに入力された信号がシリコンピクセルセンサーやバンパを介して隣接するピクセルに伝わることをクロストークと呼び、正常なバンパ接続がされている場合 2000 e 入力時のクロストークは検出されない。一方でバンパ同士がショートしてしまう不具合が生じている場合、入力されたテスト信号は接触したバンパを介したクロストークによりテスト信号が検出される。
3. テスト信号を入力した時の応答率を occupancy と呼び、occupancy > 50%かつ隣接するいずれかのピクセルが occupancy > 50%である場合、対象のピクセルをショートしていると判定する。ショートと判定されたバンパを merged bump と呼ぶ。

図 5.1 に merged bump であるときのテスト信号の流れを示す。中央の試験対象ピクセルに対して隣接ピクセル下部の FE チップから上部のシリコンピクセルセンサーへとテスト電荷が入力される。正常な場合ではクロストークがセンサーで生じるが、threshold の 1500 e より小さなクロストーク信号となり、信号が干渉することはないと検出されない。一方で merged bump の場合には入力した信号がバンパを介して信号が伝達されるため、テスト信号が検出される。

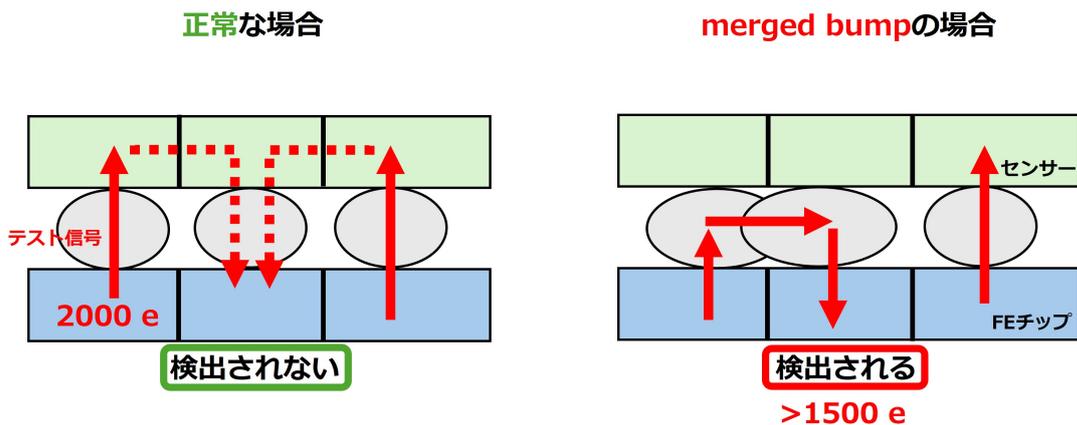


図 5.1: Merged bump scan のテスト信号の流れ

ピクセル試験における隣接ピクセルの定義は 8 パターンあり、各試験ごとに設定されている。隣接ピクセルのパターンを図 5.2 に示す。試験対象ピクセルを中心としたとき、各パターンでの隣接ピクセルの定義を青で示した。Merged bump scan では試験対象ピクセルに対して上下左右を隣接ピクセルとして扱う maskSize=1 の設定で試験が行われている。

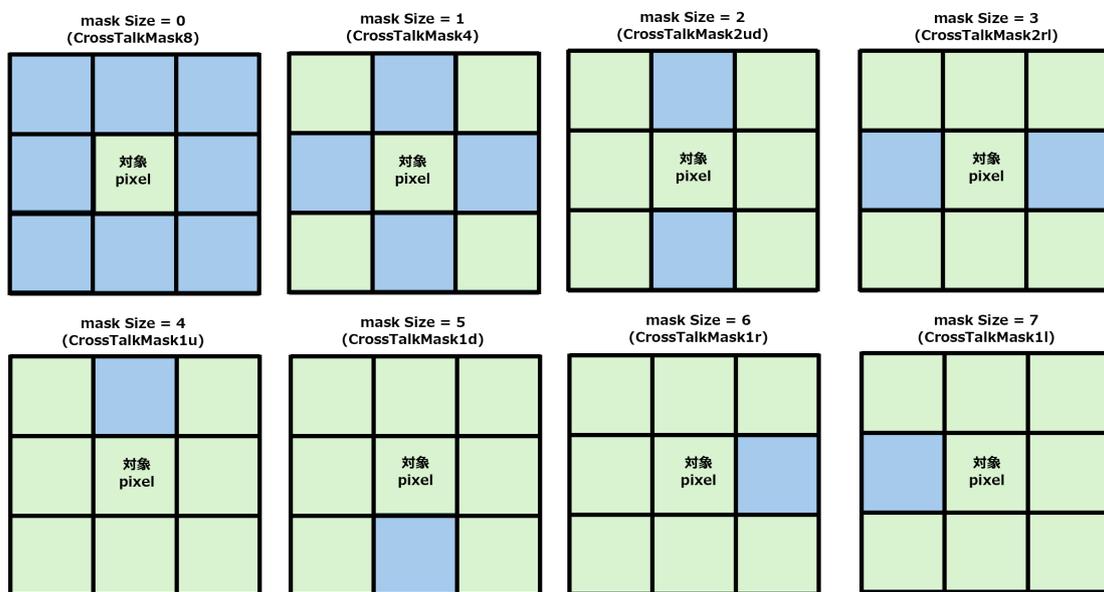


図 5.2: ピクセル試験における隣接ピクセルのパターン

図 5.3 に 1 つのモジュールに対して行った、Merged bump scan のテスト結果である Occupancy Map を示す。Occupancy Map は各ピクセルの Merged bump scan の occupancy を示したものであり、横軸を Row、縦軸を Column として、モジュール全体である 768 × 800 ピクセルの結果を表

している。モジュールの大半を占める正常なピクセルでは、0 %の occupancy であり、occupancy が高いピクセルがまばらに黄色等で表されていることが確認できる。

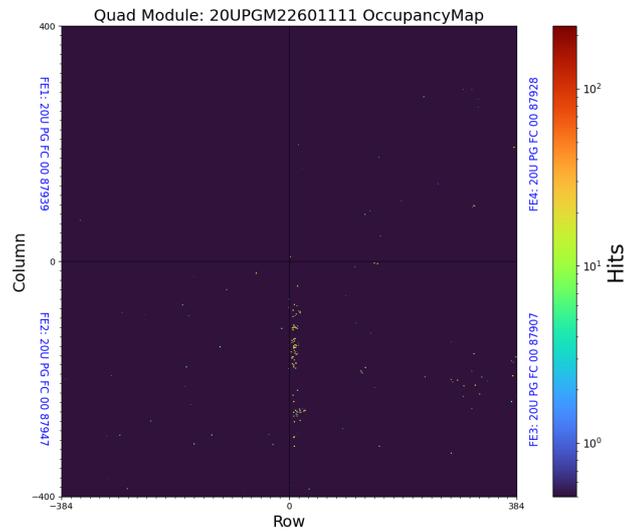


図 5.3: Merged bump scan の Occupancy Map

5.1.2 Threshold scan

Threshold scan は、各ピクセルにテストパルスによる電荷を入力したときの occupancy を測定する試験であり、各ピクセルの threshold と noise の値を決定することができる。試験については以下の通りである。

1. 各ピクセルに対して入力電荷量を 0 e から 5000 e へと徐々に大きくしながらテスト信号を入力する。テスト信号は各入力電荷において 50 回ずつ入力され、そのときの応答率である occupancy を測定する。
2. 測定結果は正常なモジュールの場合、入力電荷量が大きくなるにつれてピクセルの threshold 値を上回り occupancy が大きくなる。図 5.4 に threshold を 1500 e に調整したときの測定結果を示す。横軸はテスト信号の入射電荷量に対する電位差、縦軸は occupancy で表されている。一般的には,threshold は入力電荷の大きさに依存するため図 5.4 のような s 字の threshold カーブが得られる。
3. 目標としては、入射電荷量が設定したい threshold の値である 1500 e を越えるときに occupancy が 50 %を越えることである。測定結果の threshold カーブの立ち上がりは 1500 e の threshold を示している。
4. 結果はステップ関数として得られ、各ピクセルに対して occupancy が 50%となる時の入力電荷を threshold、誤差関数をフィットしたときの標準偏差を Noise として決定している。

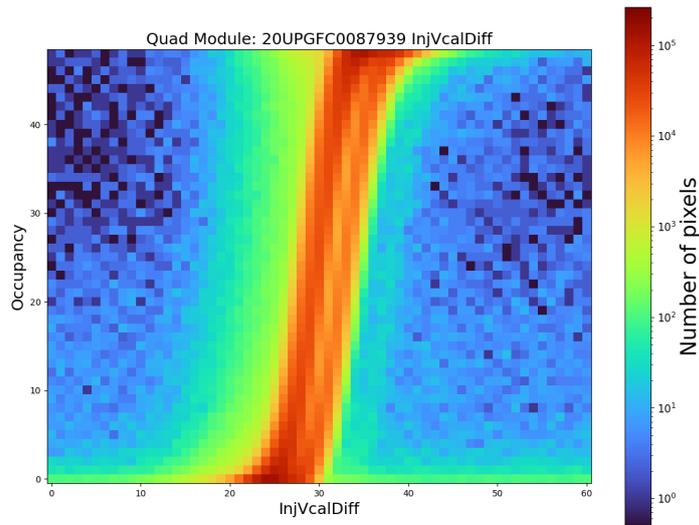


図 5.4: threshold を 1500 e に設定した時の Threshold scan の結果

1 モジュールに対して実施した Threshold scan から得られた threshold と noise の分布例を図 5.5, 図 5.6 に示す. 結果は 4 つの FE チップごとに分布されており, 正常なモジュールの場合, threshold は 1500 e, noise は 110 e をピークに分布している.

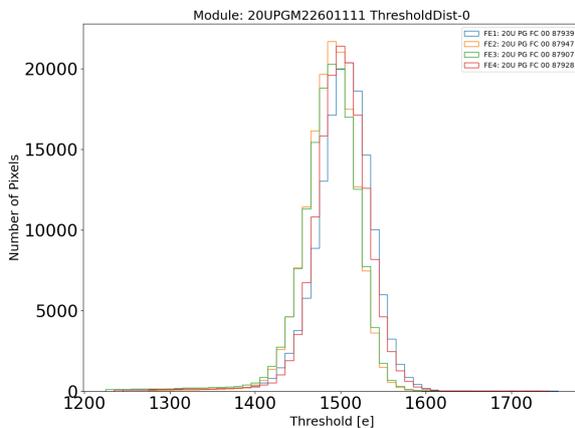


図 5.5: threshold 分布

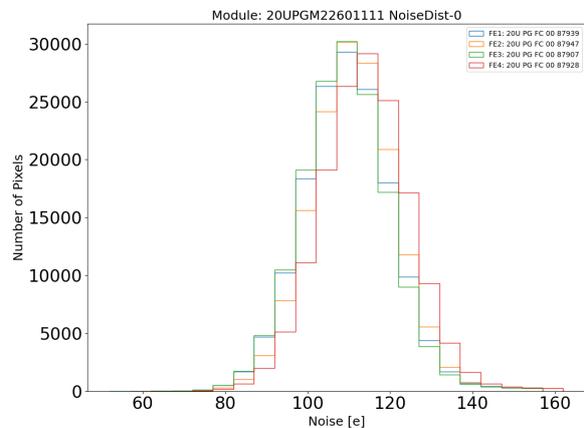


図 5.6: noise 分布

5.1.3 Disconnected bump scan

Disconnected bump scan はテスト対象の隣接ピクセルにテスト信号を入力し, ピクセル間のクロストークを測定することでバンプの剥がれを検出するための試験である. 試験については以下のとおりである.

1. テスト対象ピクセルの隣接ピクセルに約 40,000 e のテスト信号を 50 回入力する. このときの隣接ピクセルの定義は maskSize=0 (試験対象ピクセルの左右上下斜め) の隣接 8 ピクセル

ルとしている。

2. バンプが正常に接続されている場合、ピクセルセンサーでのクロストークによりテスト対象ピクセルにて信号が検出される。一方で、テスト対象ピクセルのバンプが剥がれている場合はクロストークによるテスト信号がバンプを介して伝わることはないため検出されない。
3. テスト対象ピクセルにて 50 回のテスト信号入力の内、occupancy < 50%であるピクセルをバンプ剥がれと判定する。バンプ剥がれと判定されたバンプを disconnected bump と呼ぶ。

図 5.7 に disconnected bump であるときのテスト信号の流れを示す。正常なバンプ接続がされている場合、FE チップの隣接ピクセルから入力されたテスト信号はピクセルセンサー上で隣接ピクセルへとクロストークを引き起こし、試験対象ピクセルで検出される。disconnected bump の場合、センサーを通じて流入した信号はバンプが剥がれているためクロストークとして FE チップに伝わらず、検出されない。

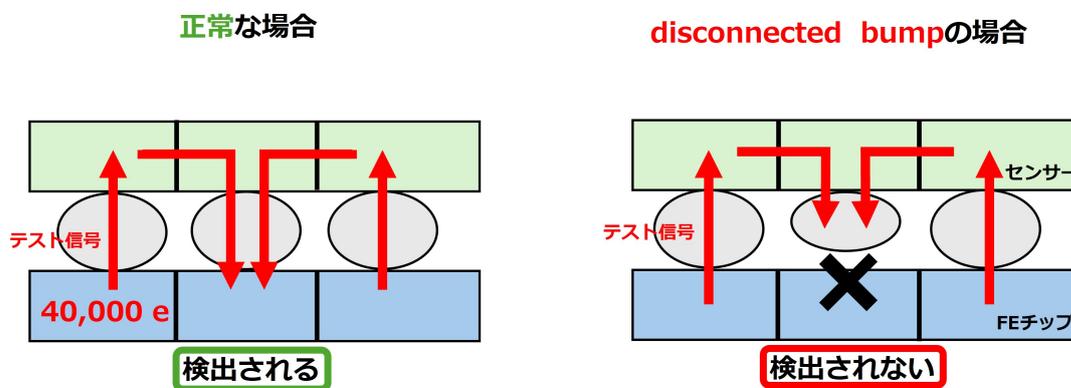


図 5.7: Disconnected bump scan のテスト信号の流れ

図 5.8 に 1 モジュールに対して行った、Disconnected bump scan の Occupancy Map を示す。Merged bump scan の Occupancy Map と同様にモジュールの全 (768 × 800) ピクセルの occupancy を表している。モジュールの大半を占める正常なピクセルでは、100%の occupancy を示している。このことからクロストークを検出していることが分かり、バンプが剥がれていないことを確認できる。

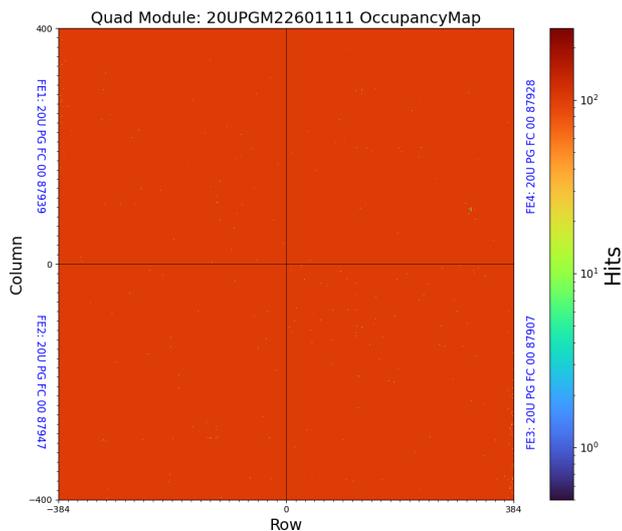


図 5.8: Disconnected bump scan の Occupancy Map

5.1.4 X-ray scan

X-ray scan は、X 線照射によりシリコンピクセルセンサーで生成された信号を検出する試験である。全読み出し試験の最終工程として実施され、モジュールの使用環境を疑似的に再現することでモジュール全体を通じた正常な読み出しを確認している。図 5.9 に X-ray scan の信号の流れを示す。バンパが正常に接続されていれば ATLAS 検出器実装時と同様の流れでピクセルでの X 線のヒットを検出することができる。バンパ剥がれなどが発生している場合、信号は検出されないことからピクセル不良を発見することができる。

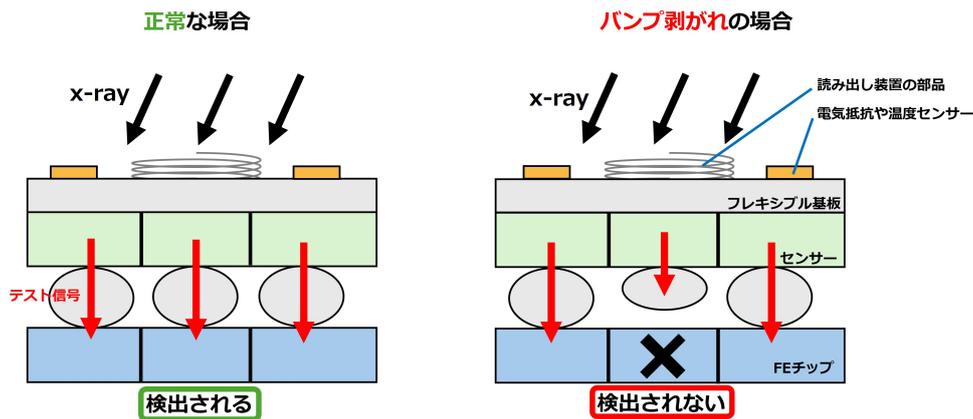


図 5.9: X-ray scan の信号の流れ

図 5.10 に X-ray scan の結果である Occupancy Map を示す。各ピクセルの X 線ヒット数を記録したものであり、モジュール全体で高いヒット数が確認できていることからモジュールが正常に

機能していることが分かる。ヒット数が少ない箇所も確認されるが、X 線照射をモジュールに直接ではなくクーリングボックス越しに行っているという試験装置によるものである。ヒット数が小さい箇所は、読み出し装置の部品や基盤上のコネクタ、電気抵抗、温度センサー等がシリコンピクセルセンサー上部に位置していることによるものである。数十のヒットが確認できていればピクセル、バンプ共に正常であると判断している。

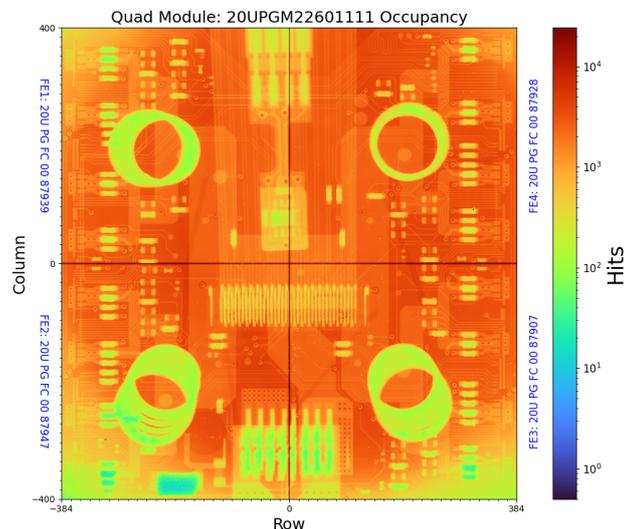


図 5.10: Xray scan の Occupancy Map

5.2 Merged bump scan の解析

Merged bump scan は EQC のピクセル試験中で行われる試験であり、生産されるすべてのモジュールにおいて実施される。現状では merged pixel を示した測定結果である Occupancy Map を確認し、目立って異常がみられるモジュールに対してのみ解析が行われている。そのため本研究では、Merged bump scan の詳細な QC 判定と QC 基準の検討を行った。また、測定結果を定量的に評価し、試験の機能や測定の妥当性を確認することを目的として、他のピクセル試験結果を用いた解析を行った。本節では Merged bump scan の QC 判定と解析の結果を記す。

5.2.1 Merged bump scan の QC 判定結果

Merged bump scan の QC 判定基準は、1つの FE チップ (192×200 ピクセル) あたり、merged bump と判定されるピクセルが 600 ピクセル以下であれば QC 合格とするものである。ピクセルが merged bump と判定される基準は、Merged bump scan の occupancy $> 50\%$ かつ隣接する 4 つのいずれかのピクセルが occupancy $> 50\%$ であることである。そこで、Merged bump scan の基準を満たしていないモジュールを割り出すために、QC 判定を行った。本 QC 解析時に多くのモジュールでデータ取得が完了していた INITIAL WARM ステージと POST PARYLENE WARM ステージでの測定結果を用いた。本データはプリプロダクションのモジュール試作の過程で得られたものであり、測定環境の構築途中であったことなどから、ステージによるデータ数が異なっ

ている。図 5.11 に INITIAL WARM ステージで Merged bump scan が行われた 71 モジュールにおける FE チップごとの merged pixel 数を示す。各図は 1 チップにおける merged pixel 数をカウントした結果であり、QC 基準である 600 ピクセルを上回るモジュールが QC 不合格モジュールである。4 つのグラフは、モジュール上での chip number と同様に左上から反時計回りに 1 から 4 のチップに対応する結果を示している。また、図 5.12 に POST PARYLENE WARM ステージで Merged bump scan が測定された 115 モジュール (INITIAL WARM ステージで測定済みの 71 モジュールを含む) における結果を示す。両ステージともに chip2 と chip3 を中心に QC 基準を満たしていないモジュールが多数存在していることが分かる。表 5.1 にチップごとの QC 基準を満たしていないモジュール数をまとめたものを示す。測定時には確認されていなかったが QC 基準を満たしていないモジュールが INITIAL WARM ステージで 21/71 モジュール、POST PARYLENE WARM で 33/115 モジュール存在していることが確認された。また、chip3 に merged pixel が集中しているため、merged bump はモジュールの位置に依存している可能性が考えられる。

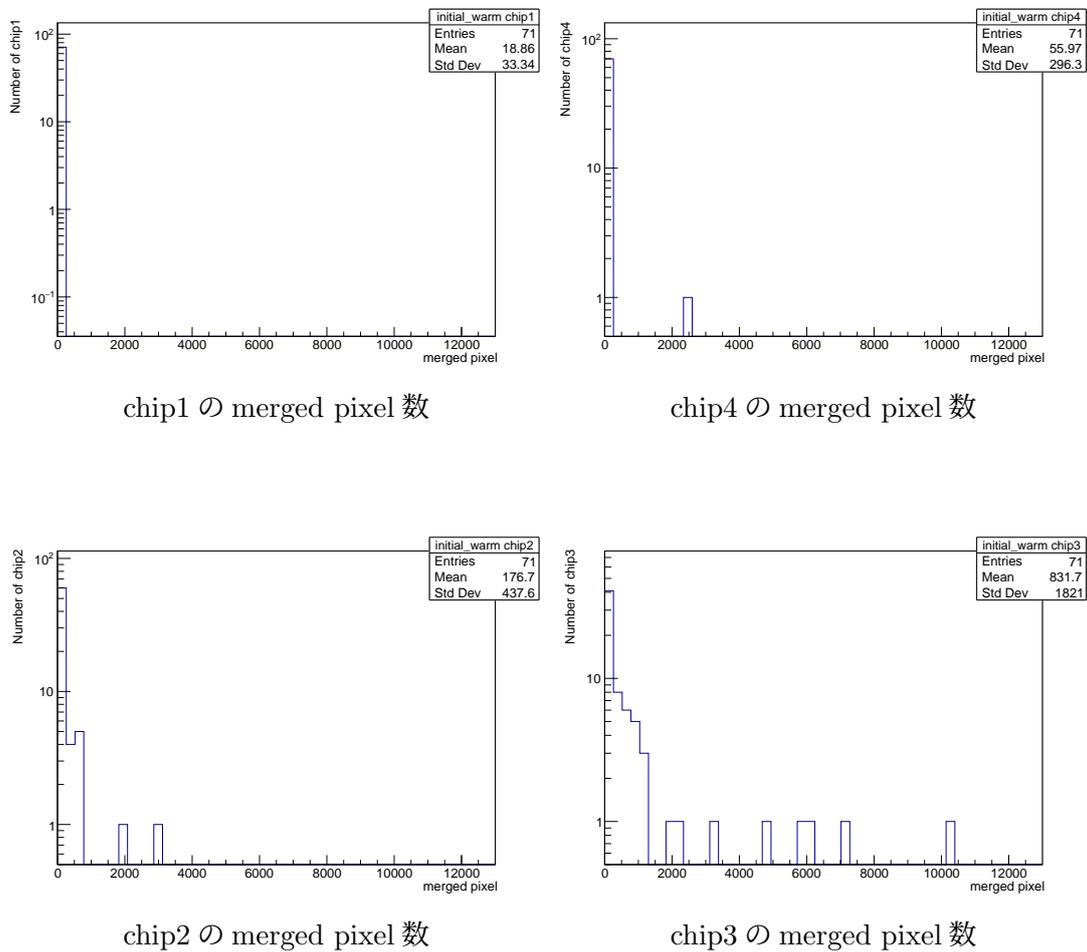


図 5.11: INITIAL WARM ステージにおける FE チップごとの merged pixel 数

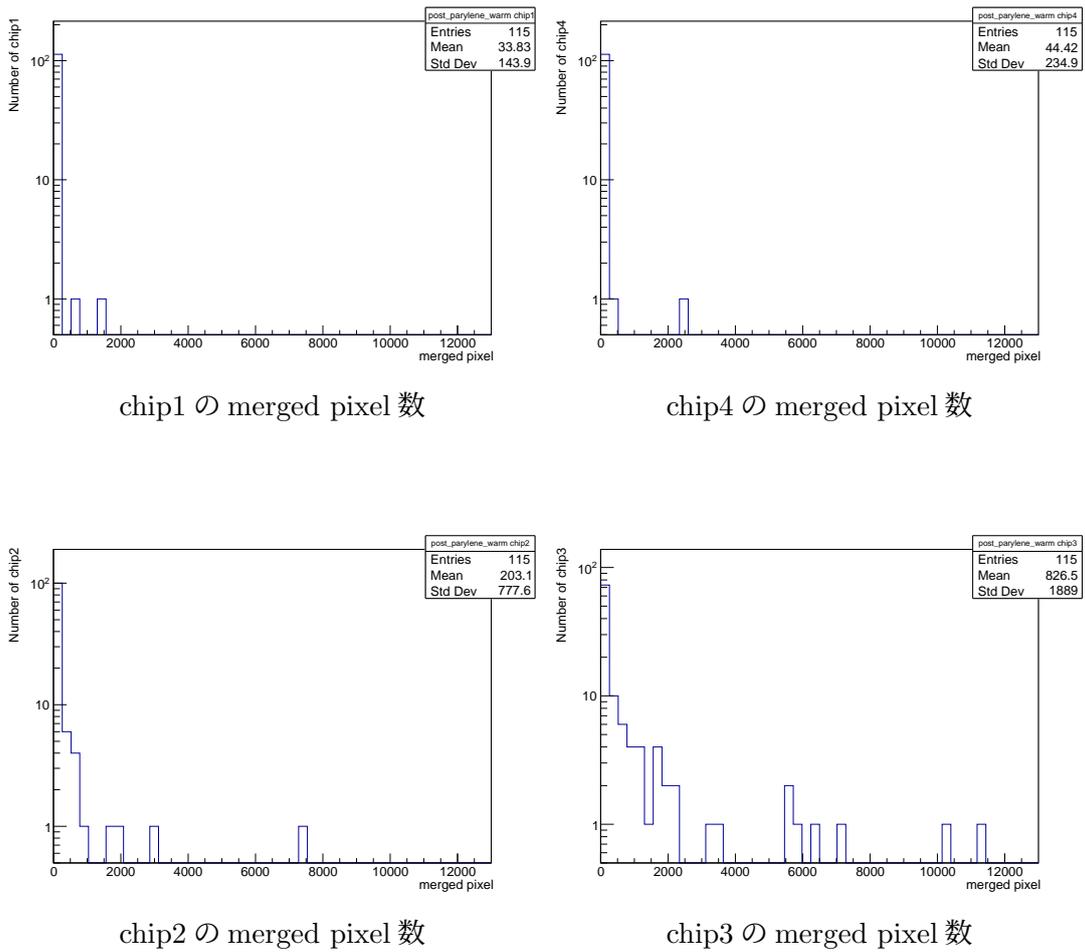


図 5.12: POST PARYLENE WARM ステージにおける FE チップごとの merged pixel 数

表 5.1: QC 不合格である FE チップ数

	INITIAL WARM 71 modules	POST PARYLENE WARM 115 modules
chip1	0 chips	2 chips
chip2	6 chips	8 chips
chip3	19 chips	29 chips
chip4	1 chips	1 chips
total	26 chips 21 modules	40 chips 33 modules

5.2.2 merged pixel の分布

5.2.1 で示したように Merged bump scan が QC 不合格のモジュールが多数確認されたため、各モジュールに対して merged pixel の総数と位置分布を割り出すことを目的として解析を行った。

INITIAL WARM ステージのうち特に merged pixel が多く見られたモジュールの merged pixel 分布図を図 5.13 に示す。1 モジュールに対して得られた Occupancy Map のうち、merged pixel と判定されるピクセルを赤で表示している。各チップの merged pixel 数をグラフ横に表記しており、QC 基準である 600 ピクセルを越えた場合は赤で表記している。同様に、POST PARYLENE WARM ステージでの Merged bump scan 測定結果に対して解析した結果のうち、merged pixel 数が多く見られたモジュールの merged pixel 分布図を図 5.14 に示す。図 5.13、図 5.14 から merged pixel の位置には以下のような規則性が見られる。

- chip3 やモジュール右端
- Row = 0 周辺やチップの境界
- 図 2.9 白線円内の真空吸着や読み出し用のモジュール固定部位

これらから考えられる merged pixel の原因としてはモジュールにかかる圧力である。モジュール固定部位は、QC 測定時やクーリングボックスからの移動時に上部から圧がかけられることがあり、Row=0 の chip2 と chip3 の境界には電源用や読み出し用のフラットケーブル取り付け作業時に力を加えなければならない。チップ端やモジュール右端の merged pixel の原因はで 5.3 節に後述する製造元の解析によりバンプ取り付け時の問題であると明らかになり、改善される予定である。merged pixel が圧力由来であることを明らかにするためには、モジュール上部からの圧力をかけ、試験結果の変化を確かめるなどのストレス耐久テストを行う必要があると考える。

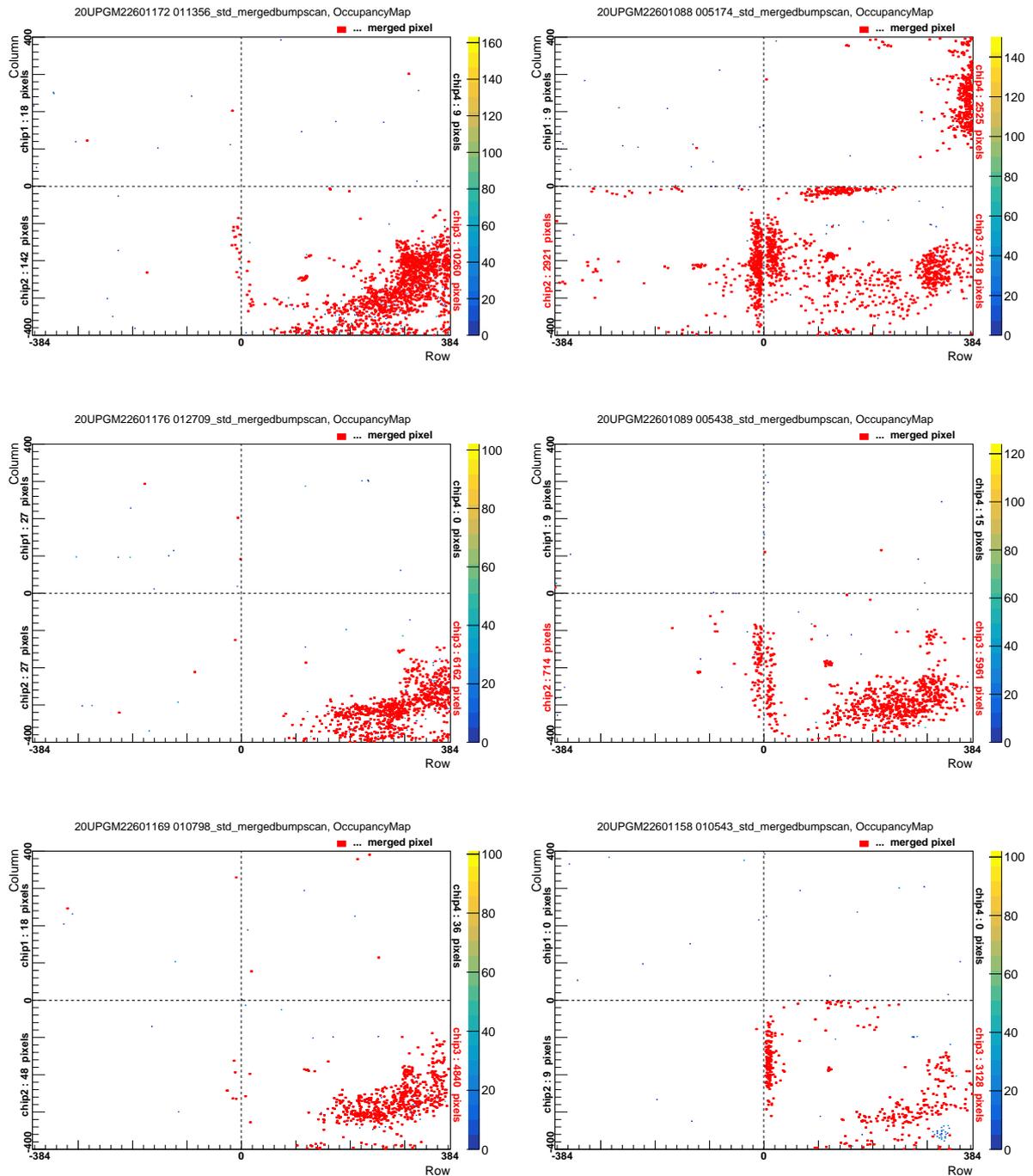


図 5.13: merged pixel の分布 (INITIAL WARM)

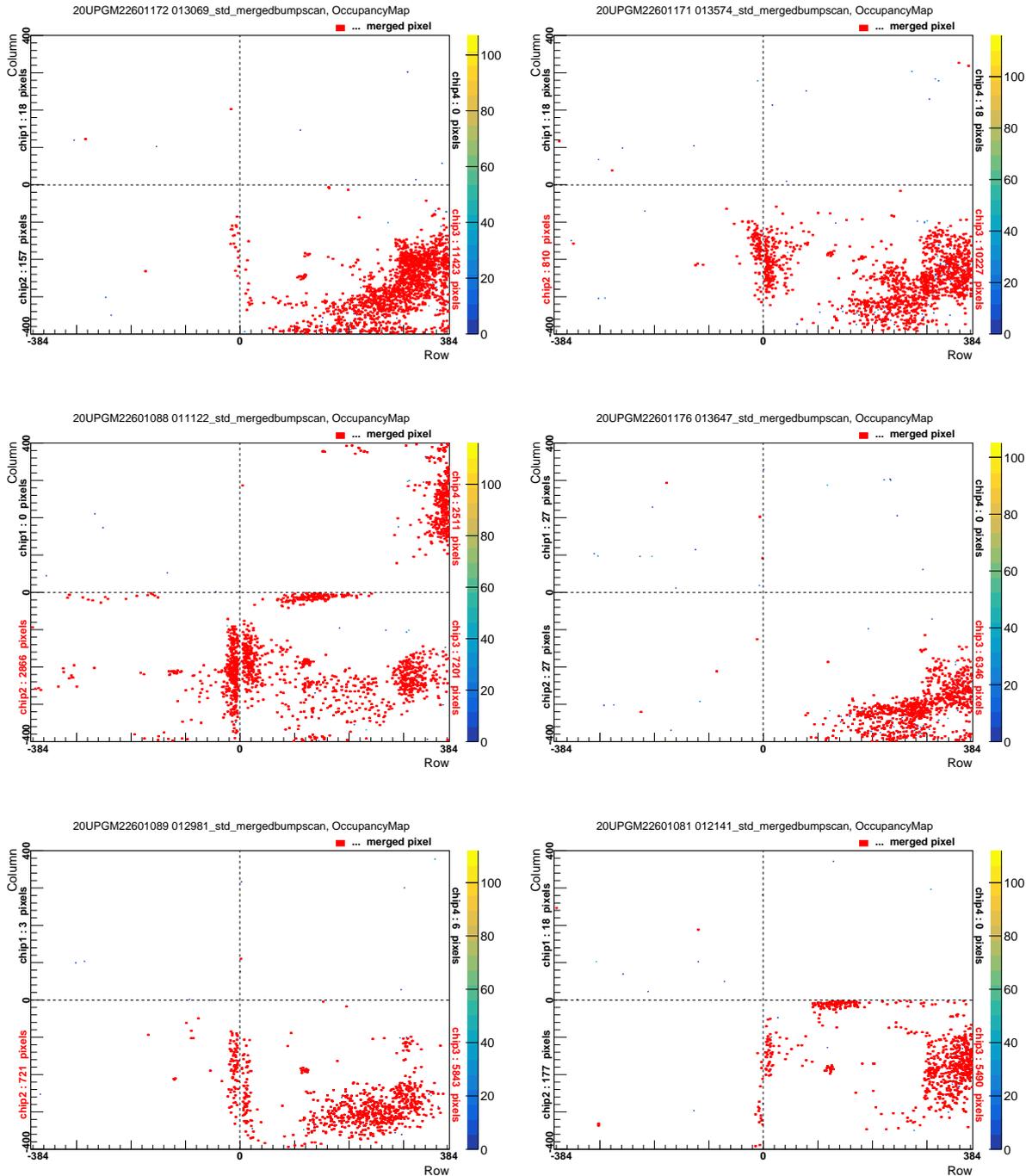


図 5.14: merged pixel の分布 (POST PARYLENE WARM)

5.2.3 merged pixel 条件 (occupancy 値) の検討

merged pixel と判定する条件は、対象ピクセルが occupancy > 50%かつ隣接するいずれかのピクセルに occupancy > 50%であるピクセルが存在することである。この基準は ATLAS グループ全体の品質検査手順書により定められている。merged pixel と判定する occupancy の値が QC 結果に与える影響を調べるため、merged pixel の判定基準を 1 から 100 まで変更させたときの解析結果を図 5.15 に示す。INITIAL WARM ステージの merged pixel が多く検出された 6 モジュールに

対してそれぞれ解析した結果である。ここで横軸の Threshold は Merged bump scan の occupancy の基準値を指し、基準値を変化させたときの merged pixel 数を示した図である。結果はいずれのモジュールも同様なものであり、大半のピクセルで occupancy は 0 もしくは 100 を取っている。基準である 50% 付近での merged pixel 数の変化は小さく、occupancy 値の 1 から 100 までの変更による merged pixel の減少は変化最大のモジュールで 10% 程度である。これらから occupancy 値が merged bump 数に与える影響は極めて小さいため、occupancy の基準値を変更する必要はないと結論付けた。

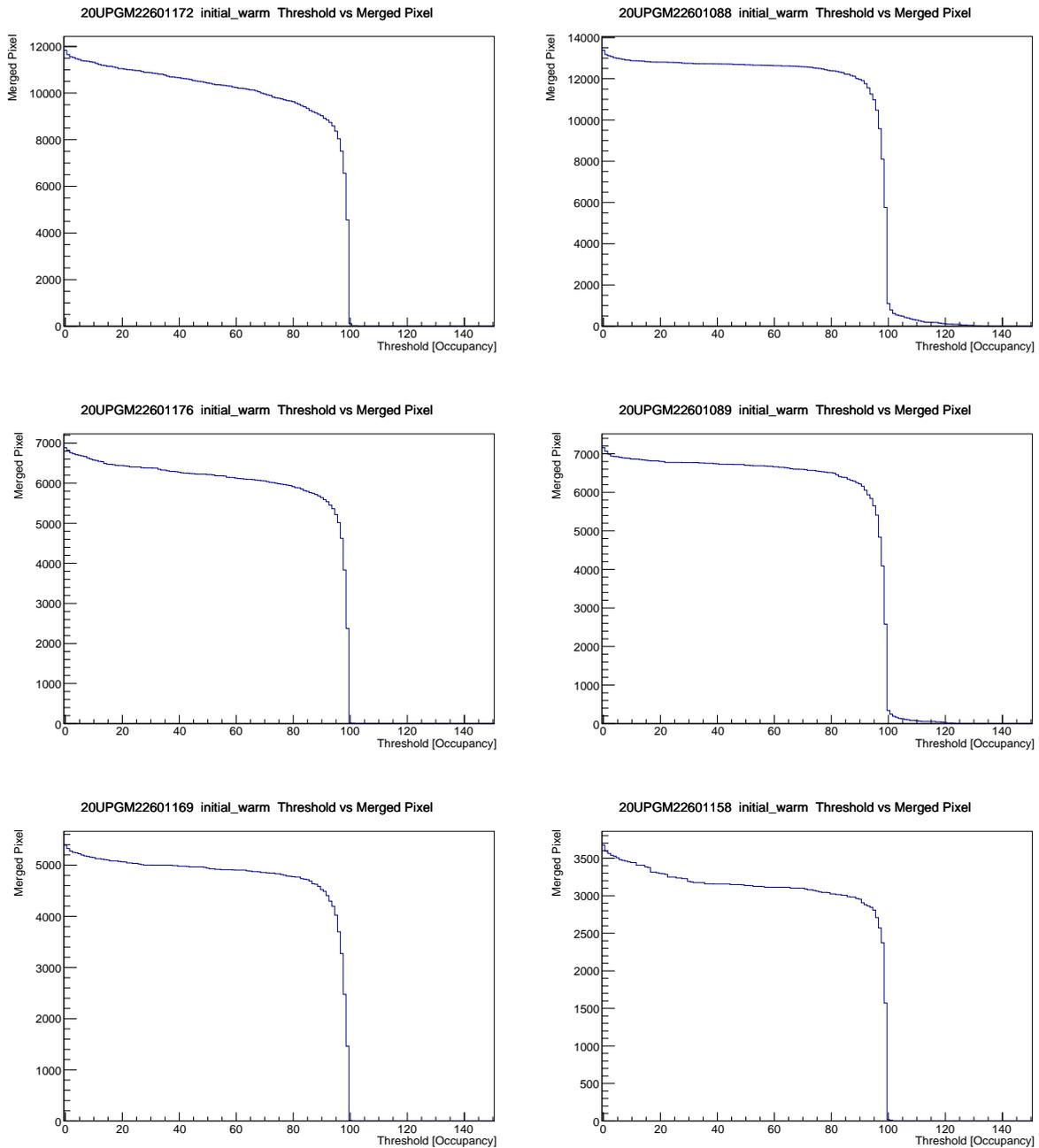


図 5.15: occupancy 値に対する merged pixel 数の変化

5.2.4 Noise による評価

Merged bump scan と Threshold scan の noise との関係性を調べることで、Merged bump scan の試験の妥当性を検討した。手法として、各ピクセルの Merged bump scan の occupancy 値に対する noise の値をプロットした。Merged bump scan で QC 基準を満たしたモジュールの noise による評価結果を図 5.16 に示す。図 5.6 から全ピクセルの noise は正常であれば 110 e をピークに分布していることに対し、merged pixel では noise が高く正常ピクセルの 2 倍である 220 e 程度に分布している。

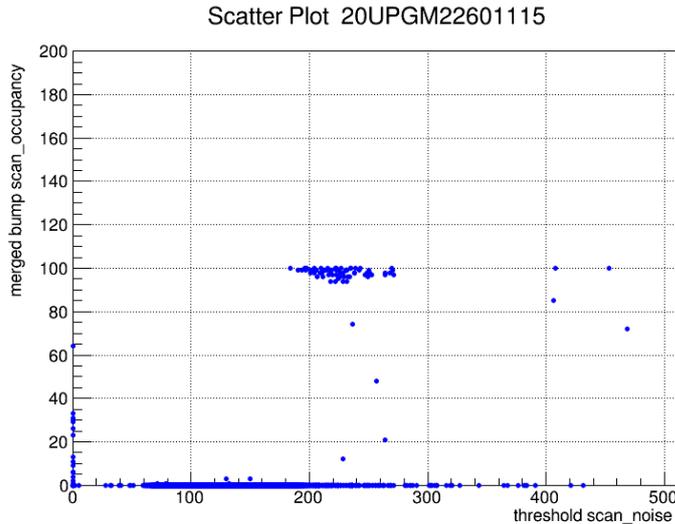


図 5.16: QC 合格モジュールの merged pixel と noise の関係

図 5.17 に merged pixel 数が多い (merged pixel > 600) QC 不合格モジュールの noise による評価結果を示す。QC 合格モジュールと比較するとピークが広がっており、Merged bump scan の occupancy が大きいピクセルは noise も大きい傾向にあると見て取れる。このことは、merged pixel であれば隣接ピクセルと電氣的に繋がっていることから pixel サイズが大きくなり、それに伴い静電容量も大きくなるため noise が大きくなるためである。したがって、本結果から Merged bump scan が正しくピクセルが merge されていることを判定できていると考えられ、Merged bump scan が試験として正常に機能していることが分かった。

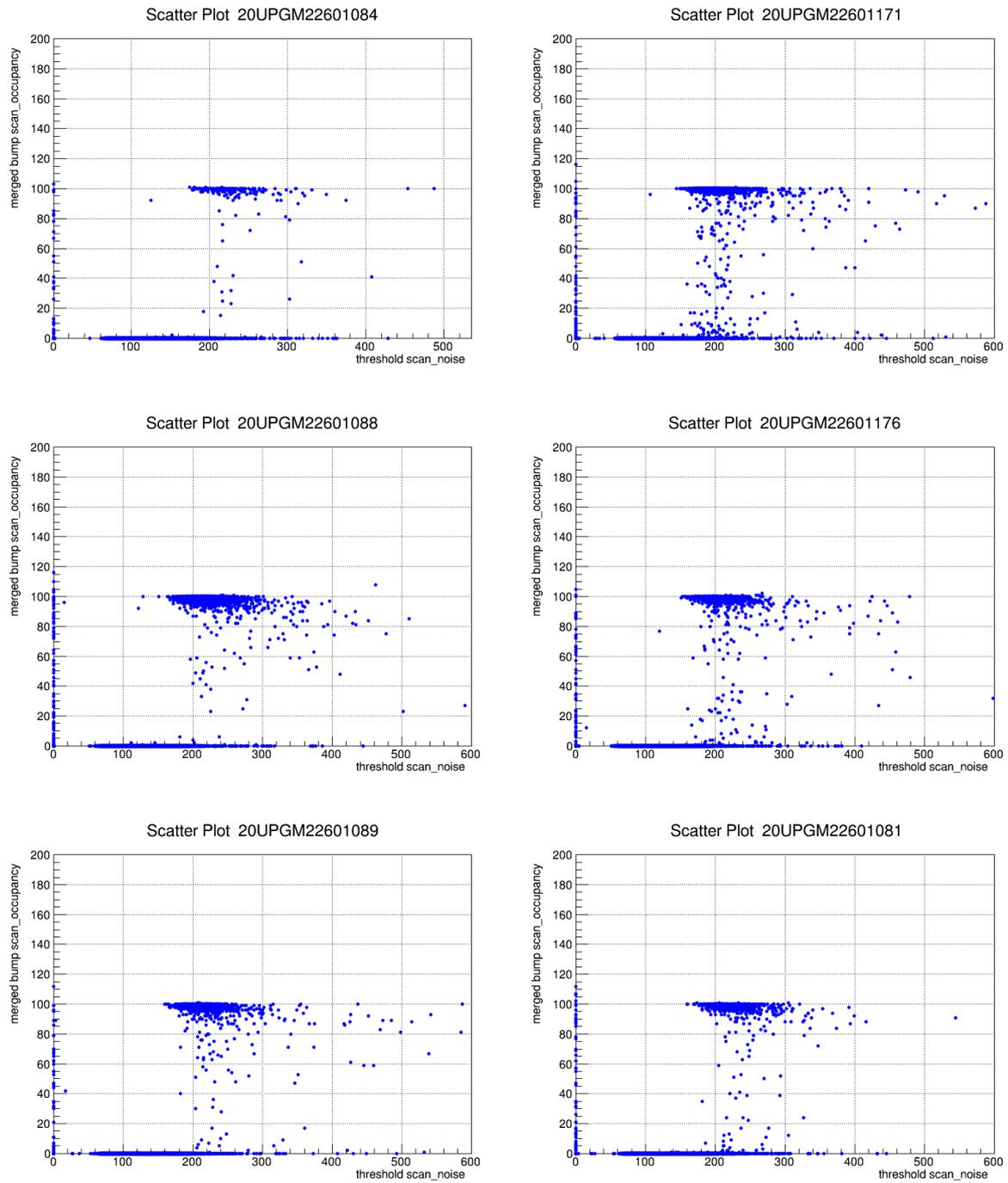


図 5.17: QC 不合格モジュールの merged pixel と noise の関係

5.2.5 Threshold による評価

EQC ではピクセルの Tuning 作業を行っており、その中で各ピクセルの threshold を調整して決定している。Merged bump scan はピクセルの threshold 設定に伴う試験であり、Tuning が正常に機能していることが求められる。また、threshold が低く設定されてしまっている場合、クロストークを生じやすいことから merged bump と判定されやすいと考えられる。そこで、各ピクセルの Merged bump scan の occupancy 値に対する threshold の値をプロットし、両者の関係性を調べた。Merged bump scan で QC 基準を満たした、QC 合格モジュールの threshold による評価結果を図 5.18 に示す。図 5.5 から各ピクセルの threshold は 1500 e をピークに分布しており、QC 合格モジュールにおける本解析結果では同様の 1500 e をピークに分布している。

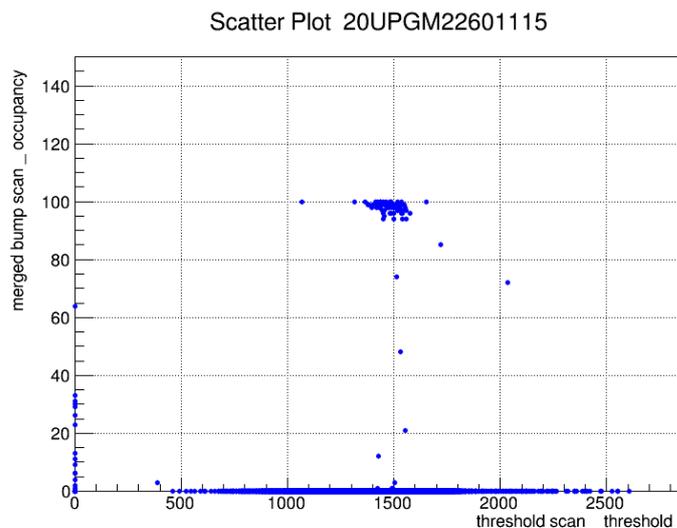


図 5.18: QC 合格モジュールの merged pixel と threshold の関係

図 5.19 に merged pixel 数が特出して多い (merged pixel 数 >600 pixels) QC 不合格モジュールの merged pixel と threshold の関係を同様に解析した図を示す。occupancy にばらつきは見られるが、図 5.18 の QC 合格モジュールの結果と同様に 1500 e をピークとして threshold が分布している。このことから Merged bump scan の occupancy と threshold には関係性がないことが分かる。一方で、図 5.19 では threshold が 0 e を示す軸上にプロットが複数存在するが、QC 合格モジュールでは数か所のみである。Merged bump scan の信号が threshold が低いため測定時に誤って merged bump と判定されてしまっていることや、該当するピクセル自体が機能していない等が原因として挙げられる。全モジュールの threshold による評価結果としては merged pixel と threshold の関係は極めて小さく、Tuning 中の threshold 設定が merged pixel と判定されている原因ではないと考える。

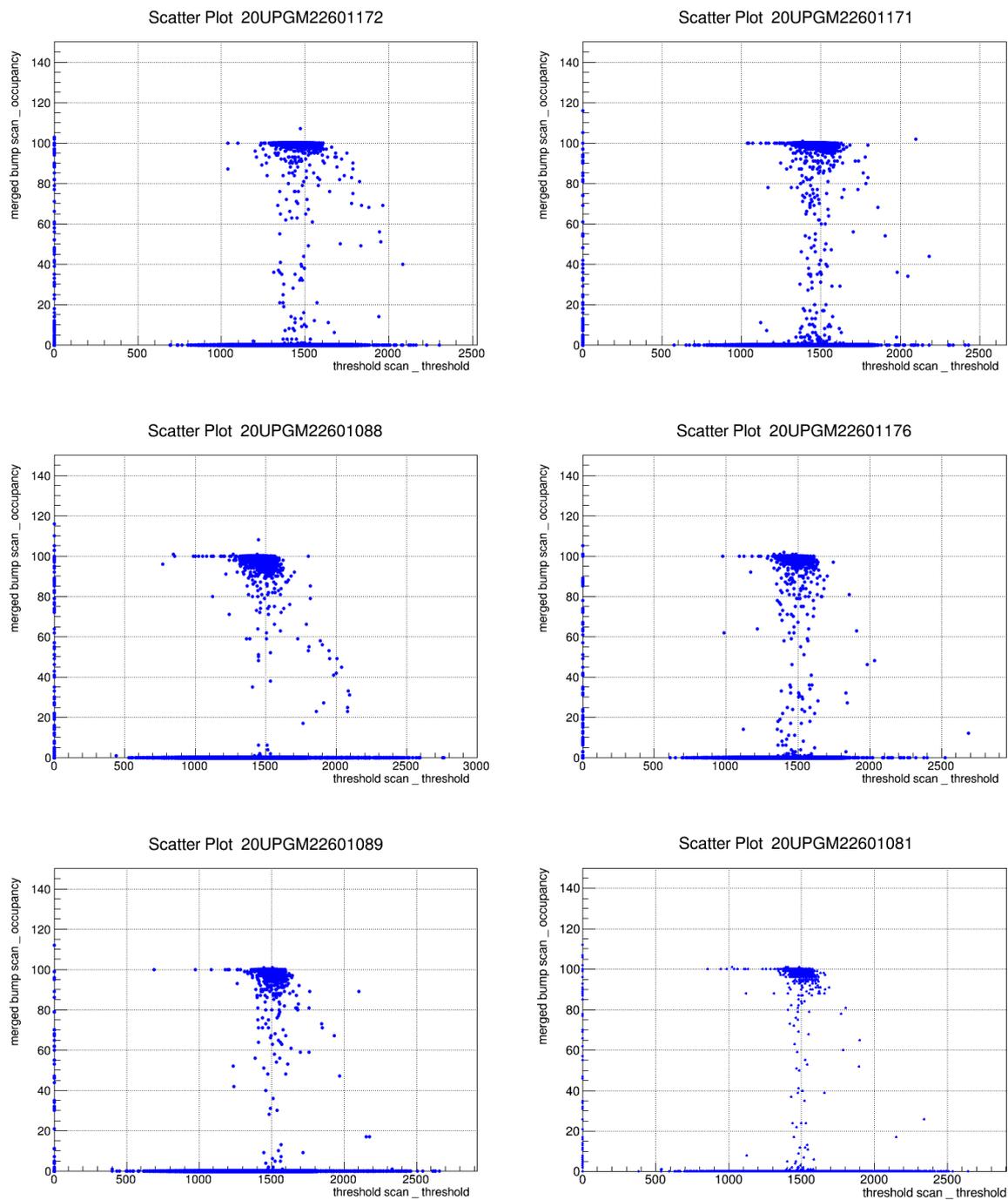


図 5.19: QC 不合格モジュールの merged pixel と threshold の関係

5.2.6 Disconnected bump による評価

バンプボンドの不良は、Merged bump scan により検知することのできる隣接バンプの接触 (merged bump) と Disconnected bump scan により検知することのできるシリコンセンサーと FE チップ間のバンプの剥がれ (disconnected bump) の 2 種に大別される。そのため、各ピクセルの Merged bump scan の occupancy と Disconnected bump scan の occupancy を比較し、バンプの不良について検討した。Merged bump scan において QC 基準を満たしているモジュールに対して行った、Disconnected bump scan の occupancy による解析結果を図 5.20 に示す。Disconnected bump scan の Occupancy Map は正常なモジュールであれば図 5.8 のように示すことができ、大半のピクセルではバンプの剥がれは生じておらず検出されないため、occupancy は 100%をとる。そのため、QC 合格モジュールの disconnected bump による評価結果においても大半のピクセルは Disconnected bump scan の occupancy が 100 であり、Merged bump scan の occupancy が 0 もしくは 100 に分布している。

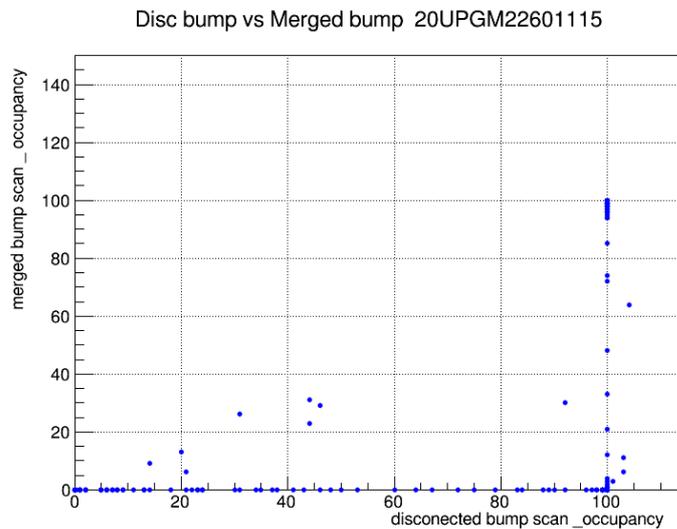


図 5.20: QC 合格モジュールの merged pixel と disconnected pixel の関係

図 5.21 に merged pixel 数が多い、6 つの QC 不合格モジュールの各ピクセルの Merged bump scan の occupancy に対する Disconnected bump scan の occupancy をプロットした図を示す。Disconnected bump scan の occupancy の分布は QC 合格モジュールと同様に 0 もしくは 100 を取るものが多い。一方で、Disconnected bump scan の occupancy が 100 の場合の Merged bump scan の occupancy 値が多様になっている。これはシリコンセンサーと FE チップが接続されており、バンプ剥がれが検出されていないピクセルで merged bump が発生していることを表している。Merged bump scan の試験自体は Disconnected bump scan の試験結果に依存してではなく正常に計測出来ていると考えられる。一方で、両試験はクロストークを利用して検知していることから、Merged bump scan と Disconnected bump scan がそれぞれ独立に機能していない可能性を考慮しなければならない。試験ごとの独立性については 5.2.8 に後述する。

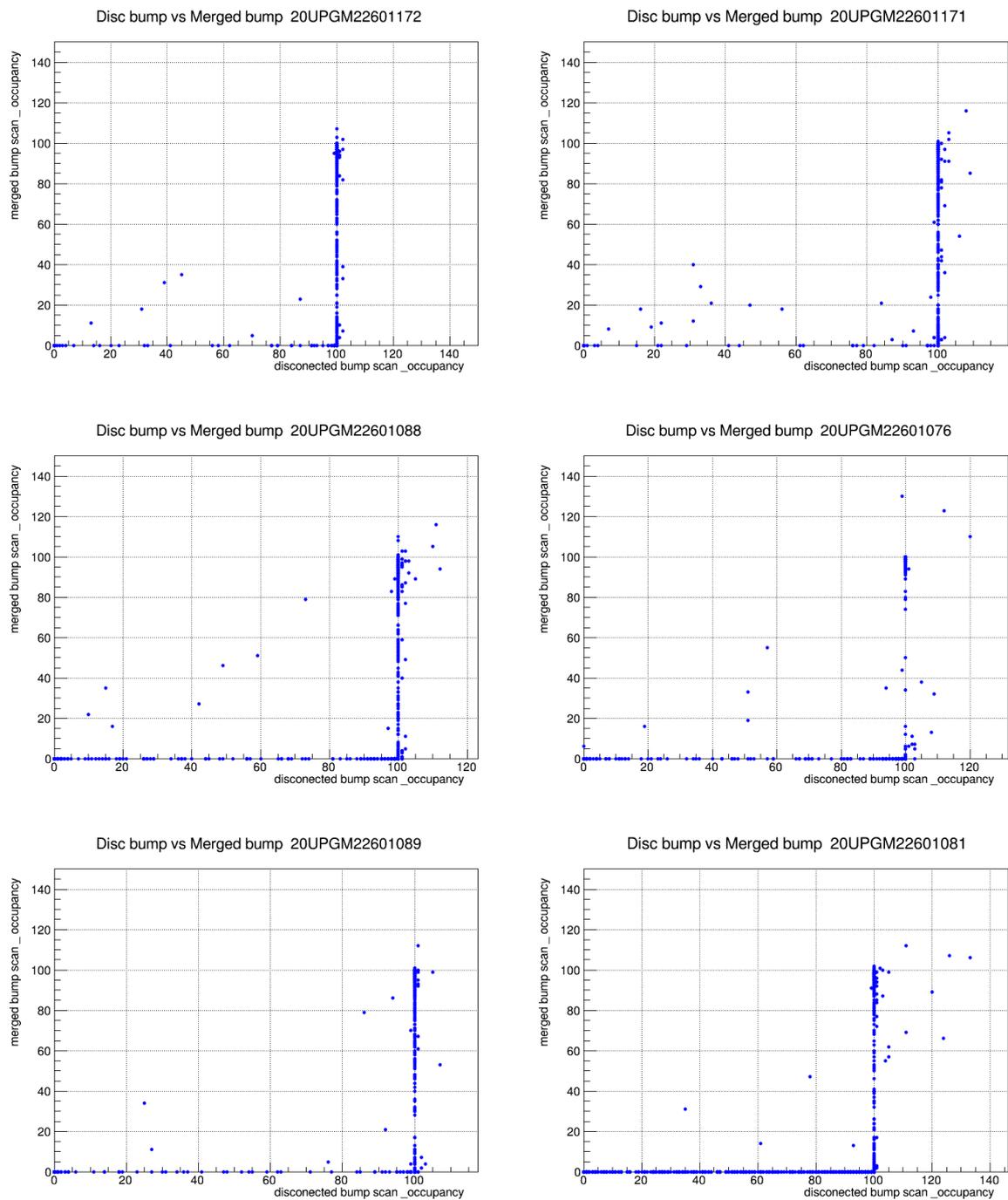


図 5.21: QC 不合格モジュールの merged pixel と disconnected pixel の関係

5.2.7 バッチ番号依存性

生産されるモジュールには一度に生産されたモジュールごとにバッチ番号が決められている。プレプロダクションではモジュールの改良を繰り返しているため、バッチごとにモジュールの仕様に変更されることがある。特にバンプに関する変更としてはバンプの高さが変更されており、図 2.8 に示したようにバッチ 1-6 は $5\ \mu\text{m}$ で製造されているのに対し、バッチ 7 以降では $15\ \mu\text{m}$ とバンプが高く変更されている。この変更がバンプの接続に与える影響を検討するため、バッチごとの Merged bump scan の QC 不合格モジュール数を比較した。バッチ番号ごとの Merged bump scan の QC 不合格モジュール数をまとめたものを表 5.2 に示す。Merged bump scan のうちの INITIAL_WARM ステージで得られた 71 モジュールの結果と POST_PARYLENE_WARM ステージで得られた、INITIAL_WARM の 71 モジュールの結果を含む 115 モジュールの結果をバッチ番号ごとに QC 不合格数をまとめたものである。POST_PARYLENE_WARM ステージの QC 不合格モジュールの数は、バッチ 1-6 では 32/86 モジュール (37%)、バッチ 7 の高めに設定されたバンプでは 1/29 モジュール (3%) であった。このことから、バンプが低い 1-6 バッチのモジュールのほうがバッチ 7 のモジュールより merged bump が生じやすいということが分かった。バッチ 7 以降や本生産では高さ $15\ \mu\text{m}$ のバンプを用いる予定であり、merge bump 数の減少が期待できる。

表 5.2: バッチ番号ごとの Mmerged bump scan QC 不合格モジュール数

バッチ番号	製造数	INITIAL_WARM		POST_PARYLENE_WARM	
		データ数	QC 不合格	データ数	QC 不合格
1	11	1	1	4	3
2	21	2	2	14	8
3	27	22	7	27	9
4	7	7	2	6	1
5	25	22	3	25	4
6	11	9	6	10	7
7	35	8	0	29	1
total	137	71	21	115	33

5.2.8 merged bump のピクセル特性

Merged bump scan は試験対象ピクセルと隣接ピクセルのバンプが接触してしまっていないかを確かめるために隣接ピクセルからのクロストークを検出している。そのため、原理として merged bump は隣接ピクセルでも同時に判定されるはずである。一方で、実際の測定結果である Occupancy Map では Occupancy が高いピクセルと隣接していないにも関わらず、Occupancy が 50% を越えている merged bump が疑われるピクセルが多数存在している。そこで隣接している場合と隣接していない場合の occupancy が高いピクセルの特性を調べ、merged bump scan の手法について検討した。解析を行うに当たり Merged bump scan の Occupancy Map の結果をもとに全ピクセルを以下の 3 パターンに分け、それぞれの面積を規格化して分布を確認した。

1. Merged bump scan の occupancy が 50% 未満のピクセル: 赤

2. Merged bump scan の occupancy が 50%以上のピクセル: 青
3. Merged bump scan の occupancy が 50%以上かつ隣接するピクセルの occupancy も 50%以上のピクセル (現在の QC 基準において merged bump): 緑

図 5.22 は QC 不合格の 37 モジュールの全ピクセルの Noise の分布を表しており、正常であるピクセル (赤) に対して occupancy が高いピクセル (青, 緑) では noise が 2 倍程度高いことが読み取れる。このことから、隣接ピクセル同士が merge していることでピクセルサイズが 2 倍になり、それに伴い noise も 2 倍になっていると考えられ、5.2.4 の Noise による評価結果と同様の結果が確認された。図 5.23 は QC 不合格の 37 モジュールの threshold の分布を表しており、正常なピクセルと occupancy が高いピクセルで threshold の分布が概ね一致している。この結果も 5.2.5 で述べた、merged pixel と threshold の関係は極めて小さいという結論と一致している。図 5.24 は QC 不合格の 1 モジュールの X-ray scan のヒットレートを表したものである。5.1.4 に前述したように X-ray scan ではクーリングボックス越しに X 線を照射していることからのヒット数は疎らに広く分布している。ピクセルの occupancy の高さによる分布を比較すると、occupancy が高いピクセルでは正常なピクセルよりヒット数が全体として 2 倍以上多い。このことから入射された X 線に対して merged bump であればバンプが接触して信号が両者に流れる為、一度に複数のピクセルで検出されていることが分かる。上記の 3 つの解析結果から、Merged bump scan が merged bump を検出する試験として正常に機能していることが確認された。

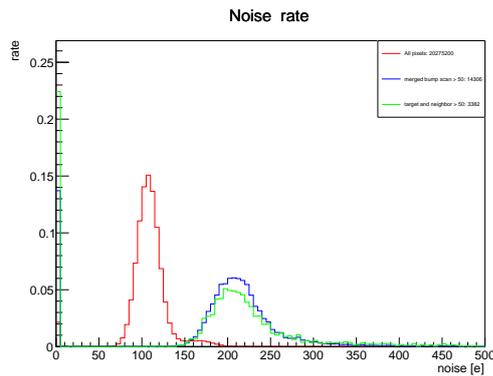


図 5.22: Noise rate

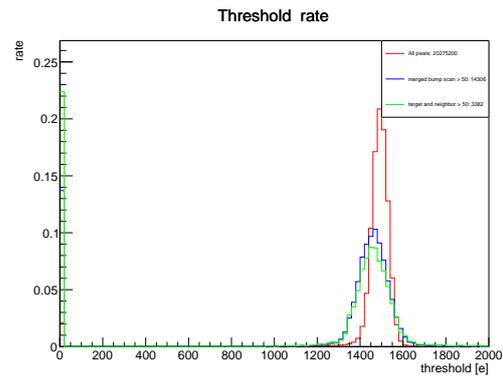


図 5.23: Threshold rate

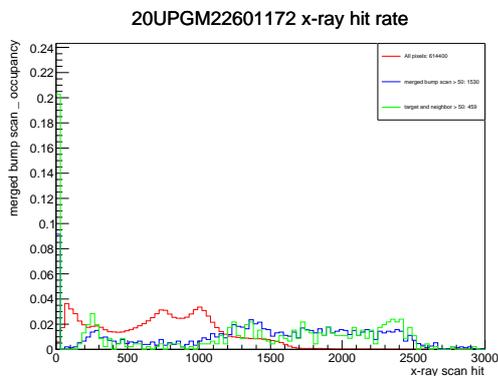


図 5.24: X-ray rate

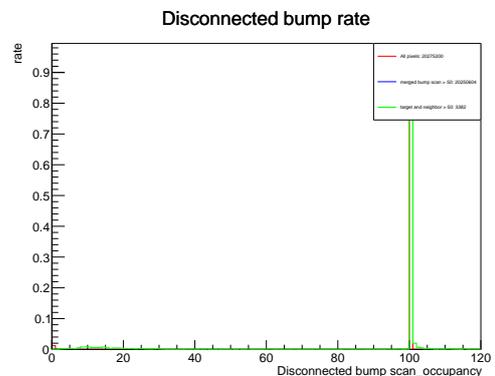


図 5.25: Disconnected bump rate

次に、図 5.22, 図 5.23, 図 5.24 において occupancy が 50%以上のピクセル (青) と occupancy が 50%以上かつ隣接するピクセルの occupancy も 50%以上のピクセル (緑) の比較を行った。2つのパターンにおける差異として、隣接するピクセルかつ試験対象ピクセルで occupancy が高い場合には0をとるピクセルが3つの図それぞれで多いことが挙げられる。これらの解析結果から見られた、0をとるピクセルの原因究明のために同様の解析を Disconnected bump scan の occupancy に対して実施した。結果を図 5.25 に示す。Disconnected bump scan の解析結果は3パターンに分けたピクセルにおいて、いずれの分布も一致している。この測定結果は、ほとんどのピクセルにおいて occupancy が 100 である為 disconnected bump と判定されず、FE チップのチャンネルは正常にバンプ接続されていることを示している。

これらの merged bump が疑われるピクセルにおいて threshold, noise, X 線のヒットが0をとるといふピクセル特性の原因としてテスト信号の流れる向きによるものであることが考えられる。図 5.26 に上記のピクセル試験のうち Merged bump scan と Disconnected bump scan の信号のみを検出した場合に考えられるモジュールでの信号の流れを示す。ピクセル試験ごとの信号の流れとしては、バンプ上部のセンサー側から入力される Threshold scan と X-ray scan に対し、バンプ下部の FE チップから入力される Merged bump scan と Disconnected bump scan に大別することができる。解析結果ではセンサー側から入力された信号は検出されず、FE チップ側からの力された信号のみを検出されている。このことから、FE チップ側でバンプ同士がショートしてセンサーと接続されていない可能性が考えられる。このときバンプは merged bump かつ disconnected bump の状態である。2つの状態が同時に発生している場合でも merged bump の検出としては正常に機能していると分かる。

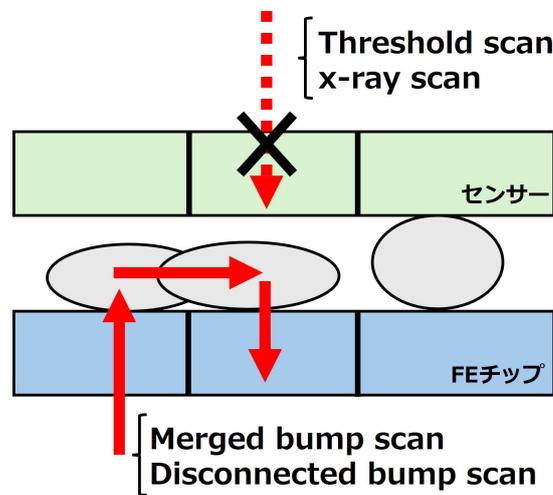


図 5.26: merged pixel であるときの信号の流れ

5.3 X線による外観試験

Merged bump scan の QC 判定結果と解析により、QC 不合格品が多く確認された。このことを受けてセンサー製造元である浜松ホトニクスでは、X線照射による外観試験が実施された。試験ではモジュール内部の接合状態の bumps を X線写真として撮影し、目視で確認するというものである。図 5.27 に merged bump が多く確認されたモジュールの X線写真において発見された bumps の異常を示す。FE チップ側とシリコンピクセルセンサー側で接着位置がずれている bump (a) や bump 接合時に圧がかかったことなどにより潰れて大きい bump (b) などの bump 異常が確認された。

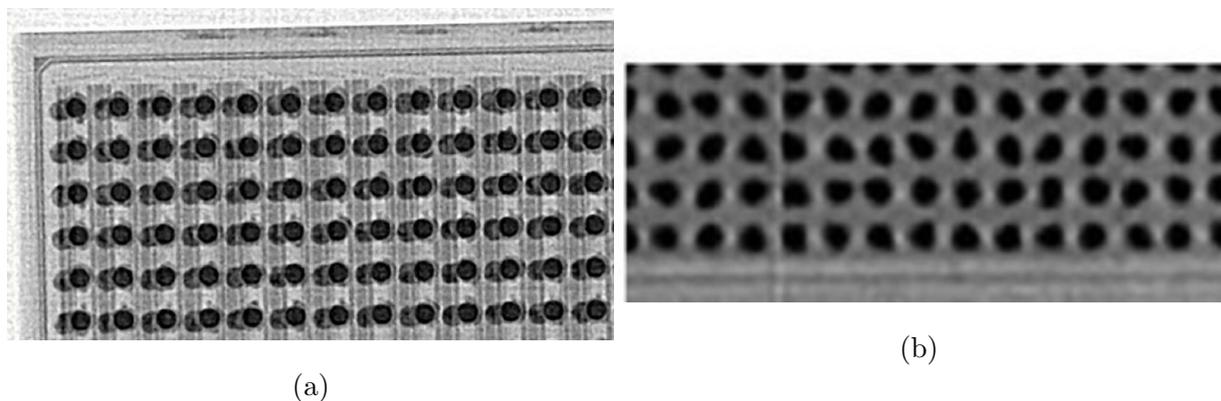


図 5.27: 異常が検出された bump. (a) 位置がずれた bump. (b) 潰れて大きい bump. [22]

ずれた bump に関しては、シリコンピクセルセンサーと FE チップの接合時に生じた傾きが原因であり、主にチップ 2 やチップ 4 にて FE チップの傾きが確認された。図 5.28 に FE チップが傾いて接合されたモジュール裏面のイメージ図を示す。FE チップが傾いていることから、チップ角や境界などの bump のずれが顕著に現れる部分で merged bump が発生すると考えられる。本 QC 判定で多く確認された図中赤枠内の merged bump は同じ原因の可能性が高い。また影の濃い大きい bump は FE チップ接合時やキャリアでの保管、読み出し試験の際に上部から圧力が掛けられていることにより生じていると考えられる。これらの X線による外観試験の結果から、センサーの生産を担当している浜松ホトニクスでのモジュール生産過程の見直しが行われる予定である。また、ハヤシレピック株式会社へ運送されたモジュールのアッセンブリ以降での品質試験として FE チップの傾き測定や merged bump が多く検出された問題モジュールに対する X線照射外観試験を取り入れることで再発防止を図ることができると考える。

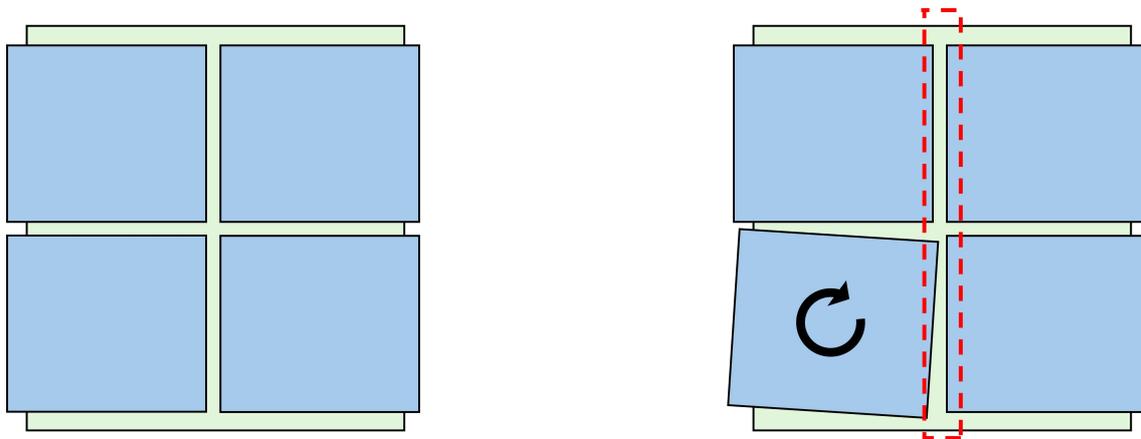


図 5.28: FE チップが傾いて接続されたモジュールのイメージ図

第6章 まとめ

陽子・陽子衝突型加速器である LHC では世界最高エネルギーによる新物理探索が行われている。LHC は新物理探索の研究を行う上で、高統計量の観測をするために HL-LHC へとアップデートされることが予定されている。HL-LHC へのアップデートでは瞬間ルミノシティが 3 倍に、積分ルミノシティが 10 倍になる。それに伴い ATLAS 検出器には高精度検出と高速読み出し、放射線耐性の向上が必要であり、ATLAS 検出器のアップグレードが求められている。そこで ATLAS 検出器最内部に位置する内部飛跡検出器では ITk という総シリコン製の検出器に入れ換え、アップデートする予定である。ITk は 10,000 個のシリコンピクセルモジュールで構成される予定であり、ATLAS 日本グループでは、約 2,800 個のシリコンピクセルモジュールの生産を担当している。日本でのシリコンピクセルモジュールの量産は本年度から開始され、2026 年にインストール予定である。

シリコンピクセルモジュールの量産時には QC 試験が各モジュールに対して行われ、モジュールの品質基準の維持や検出器構成時のモジュール選定や配置に役立てられる。QC 試験は千葉県館山市のハヤシレピックにて行われており、各試験の QC 基準に対して満たしているかを常にチェックしている。QC 試験のうちピクセル試験の一種として Merged bump scan が実施されている。Merged bump scan は試験対象ピクセルの隣接ピクセルからテスト信号を入力し、クロストークを測定することでセンサーと FE チップを電氣的に繋ぐ役割をしているバンプ同士の接触を検出する試験である。Merged bump scan に関しては、試験結果の統計的な処理が行われておらず、解析が必要とされていた。本論文では、Merged bump scan の QC 判定結果とその解析に関して記述した。

プレプロダクションにて実施された Merged bump scan の QC 解析を行った結果、30%程度のモジュールで QC 不合格であることが分かった。このことは生産時には判別できておらず、原因究明と再発防止が求められることからその他のピクセル試験との結果を利用し、更なる解析を行った。Threshold scan の結果を用いた解析を通して、Merged pixel の Noise 分布は正常なピクセルの 2 倍程度であることが確認された。このことは、バンプが接触しているために Noise が大きくなっていることを示しており、Merged bump scan が試験として正しく機能していることを確認することができた。また merged pixel は本来隣接ピクセルと同時に検出されるはずであるが、独立して merged bump が疑われる Occupancy の高いピクセルが数多く存在することを受けて、merged bump のピクセル特性を調べた。merged bump のピクセル特性からは、ピクセル自体が機能していない場合や merged bump かつ disconnected bump である場合のバンプが存在することが分かった。このことから、単純な merged pixel 以外の要因による QC 不合格の可能性が検出され、QC 基準の見直しが必要であると結論付けた。さらにこれらの解析結果から X 線による外観試験が実施され、モジュールの位置に依存して発生している merged bump に関しては製造工程での見直しが行われる予定である。

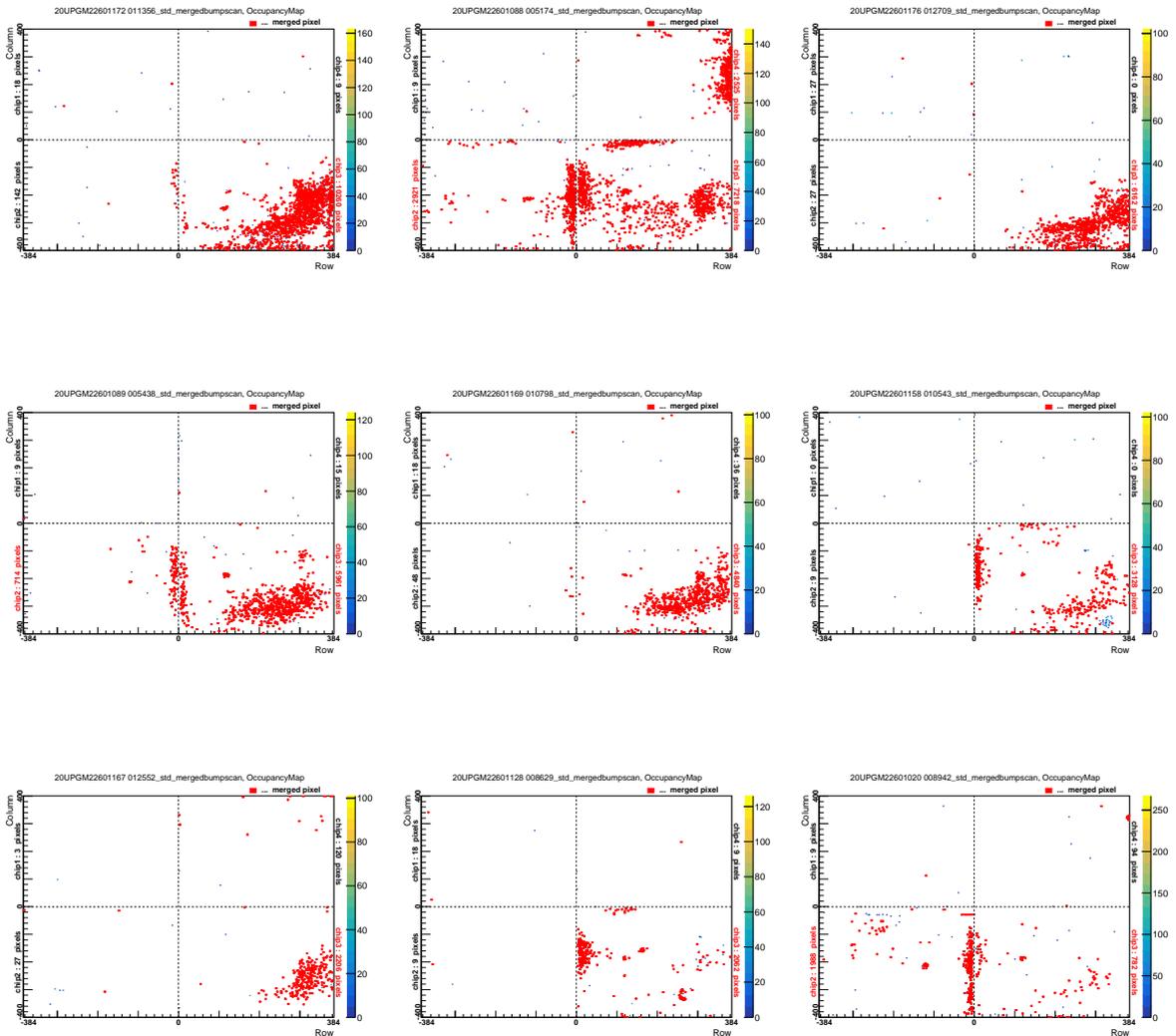
以上のように、本研究では Merged bump scan の QC 不合格数の確認と試験自体の妥当性を確かめることができた。また X 線による外観試験の結果から現状発生しているチップ境界での merged bump 問題の改善が図られる予定である。さらに、Merged bump scan 以外の要因も Merged bump

scan の QC 不合格に影響している可能性があることが分かったため、様々な測定結果を用いた更なる解析が必要である。

付録A章 Merged bump scanのQC判定結果 (全QC不合格モジュール)

Merged bump scanのQC解析で見つめられたQC不合格モジュールはINITIAL WARMステージで21モジュール、POST_PARYLENE_WARMステージで33モジュールであった。各QC不合格モジュールに対して行ったQC解析結果を以下に示す。

INITIAL_WARM



第 A 章 Merged bump scan の QC 判定結果 (全 QC 不合格モジュール)

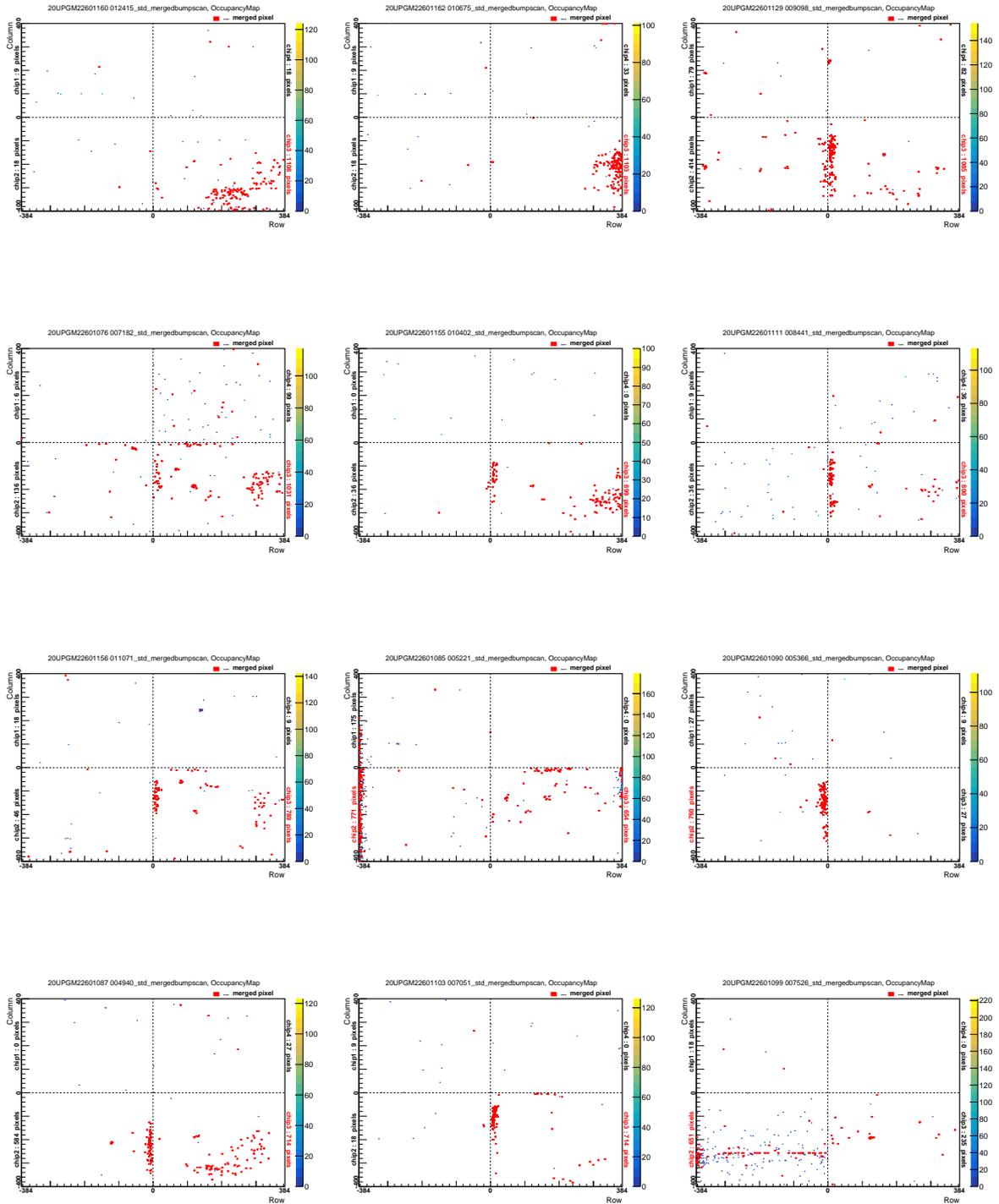
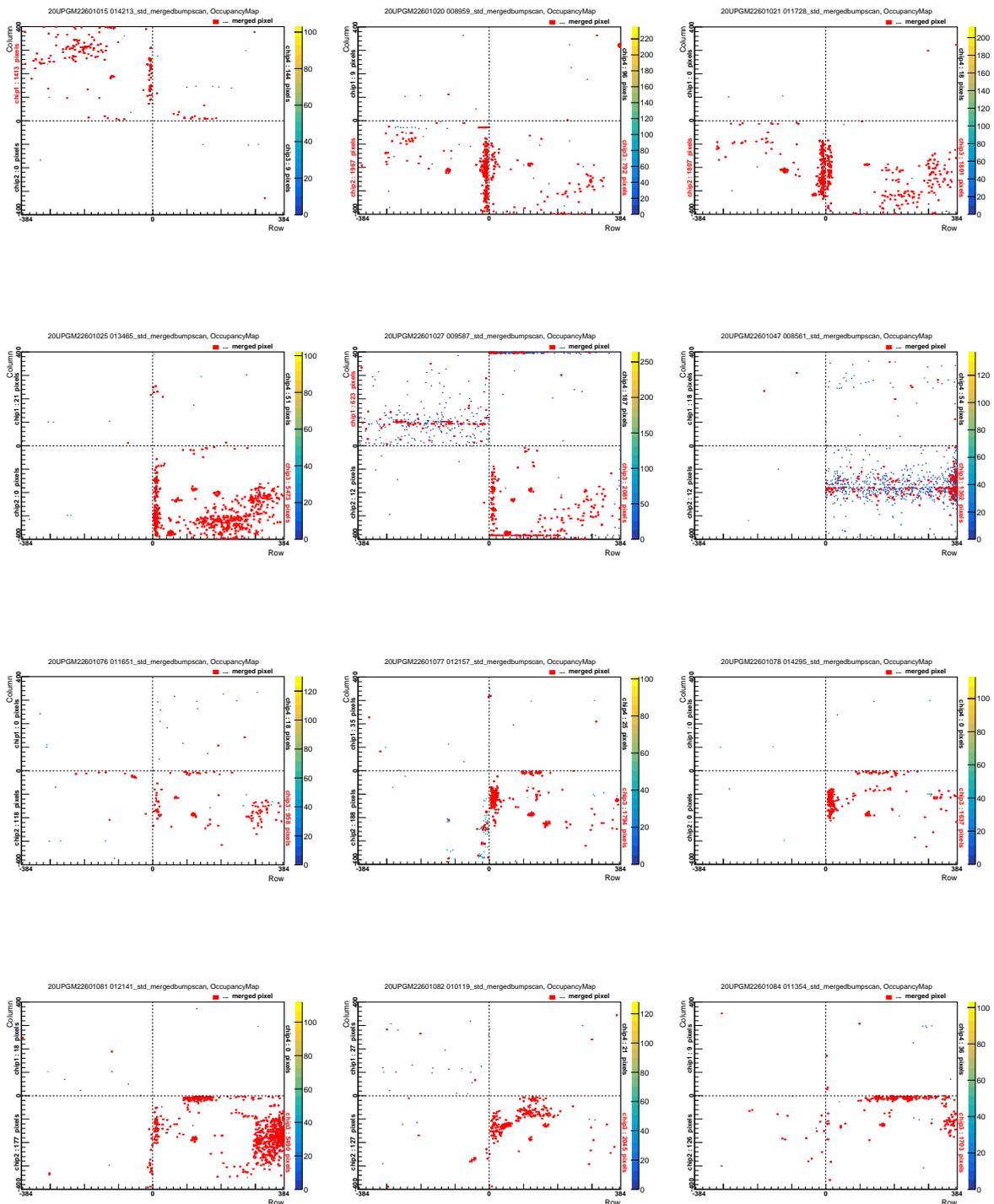
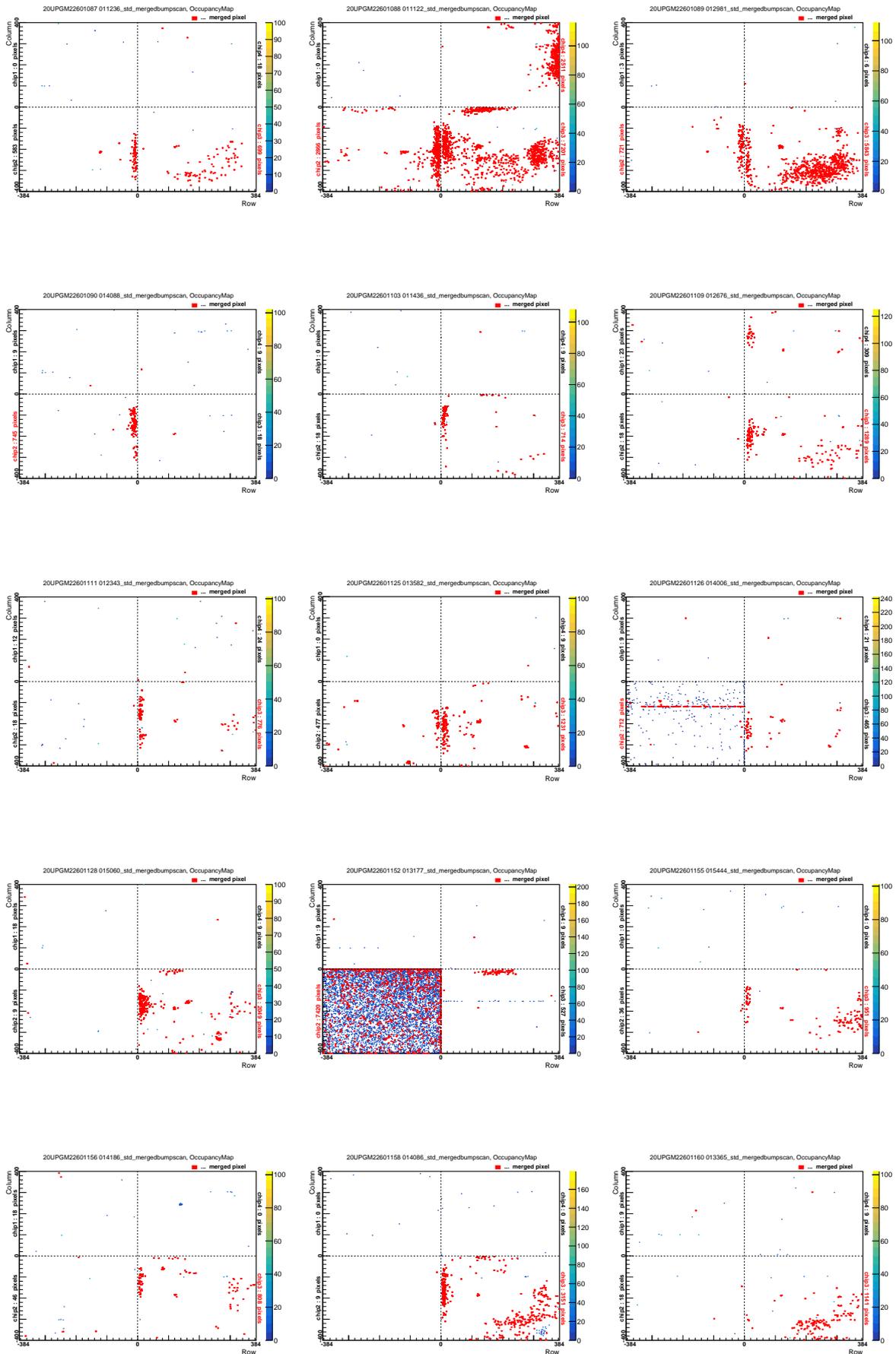


図 A.1: QC 判定結果 (INITIAL WARM)

POST_PARYLENE_WARM



第 A 章 Merged bump scan の QC 判定結果 (全 QC 不合格モジュール)



第 A 章 Merged bump scan の QC 判定結果 (全 QC 不合格モジュール)

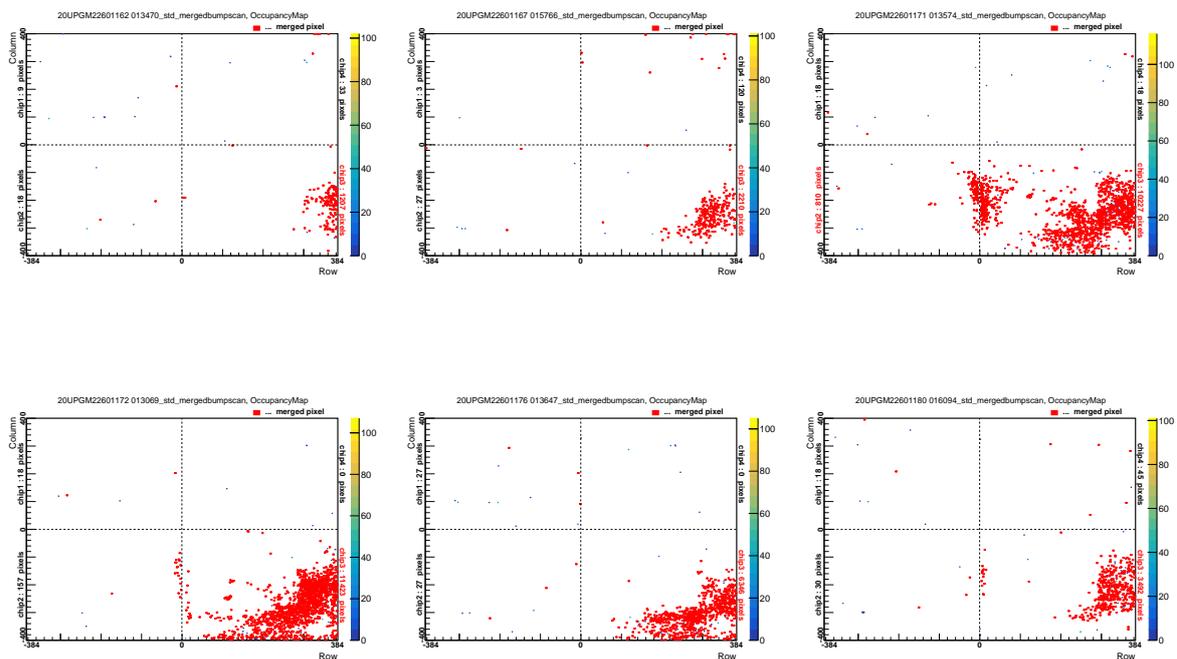


図 A.2: QC 判定結果 (POST_PARYLENE_WARM)

付録B章 ステージ進捗によるQC不合格発生

本研究では、POST_PARYLENE_WARM ステージで Merged bump scan を実施した 115 モジュールの QC 判定を行った。QC 不合格であった 33 モジュールの内、全ステージでは QC 合格であったモジュールは 1 モジュールである。図 B.1 に前後のステージで QC 結果が異なったモジュールの QC 判定結果を示す。QC 判定結果から、merged pixel は column に沿って発生しており、このような不良は merged bump 以外の原因が考えられる。一方で、本モジュールを除く 32 モジュールでは、QC 判定の変化はなく column に沿って生じたバンプ不良以外では merged bump の増加は少ないことが分かった。

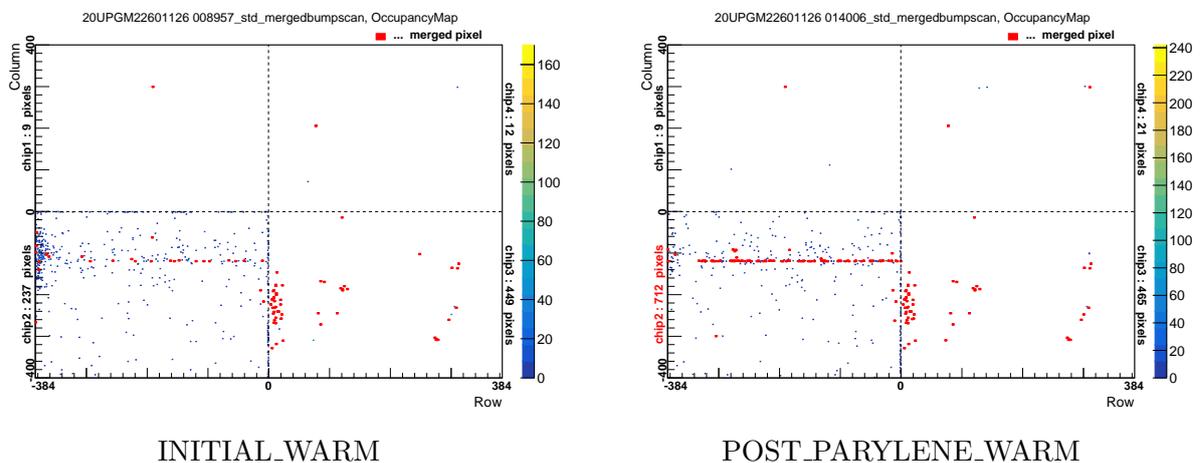


図 B.1: 同モジュールのステージごとの QC 判定結果

謝辞

本研究は多くの方のご指導とご支援のもと進めることができました。本研究室指導教員である角野秀一教授には研究に関するアドバイスをミーティングの際などにいただいたほか、研究室生活においても大変ご支援いただきましたこと感謝申し上げます。汲田哲郎助教は、私が ATLAS グループに参加するにあたり研究内容をはじめ、手続きや出張先である館山での生活についてご支援いただきました。また、ATLAS グループ内でのミーティング発表時や研究に関して詳細に把握していただいております、ご指摘やサポートしていただきました。御礼申し上げます。

ATLAS 検出器 ITk の QC 解析においては ATLAS グループの皆様にごアドバイスをいただきました。廣瀬茂輝さんには QC 解析の手法や考察など様々な意見を日々いただいております、ご指導があったからこそ研究を行うことができました。また留目和輝さんには館山での QC を行うにあたって、モジュール理解のためのトレーニングをしていただき、さらにシフトに関する大変お世話になりました。研究生活において支えてくださった ATLAS グループの皆さんに感謝申し上げます。

同研究室特任研究員の Thomas さんには QC 解析に関するご指導いただきました。同じく特任研究員の潮田さんは ATLAS 実験に携わっていた経験から修士論文執筆時にアドバイスいただきました。研究室の先輩である在原さん、北村さん、鮫島さん、古井さんには研究に共通する知識や進め方、研究室生活についてアドバイスいただきました。鮫島さんには同研究室の ATLAS グループの先輩としてもご相談させていただくことがあり、ATLAS 実験に取り組むための基礎知識を教えていただきました。研究室の同期の黒川君、関谷君、望月君とはお互いの研究内容の共有や日常の会話などを通して、研究面と生活面共により豊かなものにすることができました。研究室の後輩の荒井君、鎌田君、宮崎君、村田君、菊田君、田口君、村澤君にも研究室生活を送るにあたって支えていただきました。ありがとうございました。

本研究を行うにあたり研究を含め、多大なるご支援を頂きました。支えてくださったすべての方々に心より感謝いたします。

参考文献

- [1] HiggsTan, 標準模型の基本粒子, <https://higgstan.com/standerd-model/>
- [2] ATLAS Japan, LHC/ATLAS 実験, <https://atlas.kek.jp/index.html>
- [3] CERV Accelerating science, Overall view of the LHC, <https://cds.cern.ch/record/1708847/?ln=ja>
- [4] The ATLAS Collaboration et al., The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 S08003, 2008
- [5] G Aad et al., ATLAS pixel detector electronics and sensors, JINST 3 P07007, 2008
- [6] Y. Enari and J. Maeda, "LHC-ATLAS 実験コロナ禍でのアップグレードと Run3," 東京大学素粒子物理国際研究センター, Aug. 4, 2023.
- [7] The ATLAS Collaboration, Technical Design Report for the ATLAS Inner Tracker Pixel Detector, Technical report, CERN, 2018.
- [8] Doe, John, and Alice Smith, Nuclear Instruments and Methods in Physics Research Section A:Accelerators, Spectrometers, Detectors and Associated Equipment, vol.1045,pp. 167597, 2023
- [9] Rende Steerenberg, Accelerator report: LHC run 3 achieves record-breaking integrated luminosity, 2024
- [10] CERN Accelerating science, ITkPixV1 Chip—ATLAS Phase-2 Upgrade, <https://cds.cern.ch/record/2771271>
- [11] The RD53C-ATLAS Pixel Readout Chip Manual, Version 1.92, 2024, <https://cds.cern.ch/record/2890222/files/rd53cATLAS1v92.pdf>
- [12] G Aad et al., ATLAS pixel detector electronics and sensors, JINST 3 P07007, 2008
- [13] Koji Nakamura, ITk pixel sensor/module update, 2024, https://kds.kek.jp/event/49599/contributions/260849/attachments/177018/234973/20240312_AJ_ITkpixel_SensorModule.pdf
- [14] Prepared by Marija Marjanovic et al., Electrical specification and QC procedures for ITkPixV1.1 modules, 2022
- [15] Shigeki Hirose, ITkpiv module text draft, <https://gitlab.cern.ch/shhirose/itkpix-module-text-draft>

- [16] ITkPix Module QC Doc Japan, <https://atlas-jp-itk-pixel-module-qc.docs.cern.ch/>
- [17] Grafana Labs, Grafana, <https://grafana.com>
- [18] 外川学, 南條創, 生出秀行, 吉川拓実, KEK 富士 B4 Source Scan 用 X 線源取扱説明書 v0.1, 2020
- [19] git localDB-tools, <https://gitlab.cern.ch/YARR/localdb-tools>
- [20] 鮫島大輝, 高輝度 LHC 加速器実験用の ATLAS 新型ピクセル検出器モジュール量産に向けた品質管理用ソフトウェアの開発, Master 's thesis, 2024, <https://www-hep.phys.se.tmu.ac.jp/thesis/doc/2023-Mthesis-sameshima.pdf>
- [21] Timon Heim, YARR-aPCIebased readout concept for current and future ATLAS pixel modules, Journal of Physics: Conference Series, Vol.898, p.032053, oct 2017
- [22] Koji Nakamura, Schedule and Sensor/Baremodule status, 2024, https://kds.kek.jp/event/51873/contributions/278996/attachments/185474/249386/20241210_AJSiliconOsaka_ITkBM.pdf
- [23] 荒木田陸斗, 高輝度 LHCATLAS 実験用シリコンピクセル検出器の X 線ヒット信号を用いた不良ピクセル判定の正確性, Master 's thesis, https://osksn2.hep.sci.osaka-u.ac.jp/theses/master/2023/MasterThesis2023_Arakida.pdf
- [24] 河本地弘, 高輝度 LHC-ATLAS 実験に向けた初段ミューオントリガーアルゴリズムの実装と検出器全体への拡張, Master 's thesis, https://www-he.scphys.kyoto-u.ac.jp/theses/master/kawamoto_mt.pdf
- [25] 東城順治, ATLAS 実験に用いる新型シリコンピクセル検出器の組立と品質保証の研究, Master 's thesis, <https://epp.phys.kyushu-u.ac.jp/thesis/2023MasterMiyamoto.pdf>